

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月14日

出 願 番 号

Application Number:

特願2000-245926

出 願 人

Applicant(s):

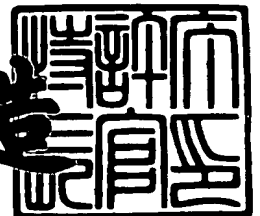
ソニー株式会社



2001年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3045231

【書類名】 特許願

【整理番号】 9900688106

【提出日】 平成12年 8月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 11/20
G06T 3/40

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 奥田 拓史

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像信号処理装置およびその方法

【特許請求の範囲】

【請求項 1】 インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理装置であって、

画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと 1 フィールド遅延のデータと 2 フィールド遅延のデータと 3 フィールド遅延のデータを使い、2 つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量との最大値と、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量との最大値とを求め、求めた 2 つの最大値のうちの小さい方を、動き検出を行いたいピクセル R の動き量として動き検出を行う処理手段

を有する画像信号処理装置。

【請求項 2】 上記処理手段は、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、2 フィールド遅延の同じ位置のピクセル D のデータを用いる

請求項 1 記載の画像信号処理装置。

【請求項 3】 上記処理手段は、動き量の大きいところでは、動き検出を行

いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAと2フィールド遅延の同じ位置のピクセルDのデータの平均値を用いる請求項1記載の画像信号処理装置。

【請求項4】 上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の2つの中央値のデータの平均値で補間する

請求項1記載の画像信号処理装置。

【請求項5】 上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の2つの中央値のデータの平均値で補間する

請求項2記載の画像信号処理装置。

【請求項6】 上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の2つの中央値のデータの平均値で補間する

請求項3記載の画像信号処理装置。

【請求項7】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサ

を有する請求項1記載の画像信号処理装置。

【請求項8】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサ

を有する請求項2記載の画像信号処理装置。

【請求項9】 上記処理手段は、要素プロセッサを1次元的に多並列にした

S I M D制御プロセッサ

を有する請求項 3 記載の画像信号処理装置。

【請求項 1 0】 上記要素プロセッサを 1 次元的に多並列した S I M D制御プロセッサは、ビット処理である

請求項 7 記載の画像信号処理装置。

【請求項 1 1】 上記要素プロセッサを 1 次元的に多並列した S I M D制御プロセッサは、ビット処理である

請求項 8 記載の画像信号処理装置。

【請求項 1 2】 上記要素プロセッサを 1 次元的に多並列した S I M D制御プロセッサは、ビット処理である

請求項 9 記載の画像信号処理装置。

【請求項 1 3】 上記処理手段は、複数の論理回路を含む請求項 1 記載の画像信号処理装置。

【請求項 1 4】 インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理装置であって、

画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと 1 フィールド遅延のデータと 2 フィールド遅延のデータと 3 フィールド遅延のデータを使い、2 つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量との最大値と、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと現フィールドの同じ位置のピクセル A 同士のデータの動き量と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピク

セル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量との最大値とを求め、求めた 2 つの最大値のうちの小さい方を、動き検出を行いたいピクセル R の動き量として動き検出を行う処理手段

を有する画像信号処理装置。

【請求項 1 5】 上記処理手段は、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A のデータを用いる

請求項 1 4 記載の画像信号処理装置。

【請求項 1 6】 上記処理手段は、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A と 2 フィールド遅延の同じ位置のピクセル D のデータの平均値を用いる

請求項 1 4 記載の画像信号処理装置。

【請求項 1 7】 上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 1 4 載の画像信号処理装置。

【請求項 1 8】 上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 1 5 記載の画像信号処理装置。

【請求項 1 9】 上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合

には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の2つの中央値のデータの平均値で補間する

請求項16記載の画像信号処理装置。

【請求項20】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサ

を有する請求項14記載の画像信号処理装置。

【請求項21】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサ

を有する請求項15記載の画像信号処理装置。

【請求項22】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサ

を有する請求項16記載の画像信号処理装置。

【請求項23】 上記要素プロセッサを1次元的に多並列したSIMD制御プロセッサは、ビット処理である

請求項20記載の画像信号処理装置。

【請求項24】 上記要素プロセッサを1次元的に多並列したSIMD制御プロセッサは、ビット処理である

請求項21記載の画像信号処理装置。

【請求項25】 上記要素プロセッサを1次元的に多並列したSIMD制御プロセッサは、ビット処理である

請求項22記載の画像信号処理装置。

【請求項26】 上記処理手段は、複数の論理回路を含む請求項14記載の画像信号処理装置。

【請求項27】 インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理装置であって、

演算で求められた動き量が書き込み、読み出しされる第1メモリと、

画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと2フィールド遅延のデータを使い、2つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量を求め、この値を上記第1メモリに書き込み、当該第1メモリから、さらに1フィールド前の動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量を取り出し、これらの動き量を使って動き検出を行う処理手段と

を有する画像信号処理装置。

【請求項28】 上記処理手段は、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量1を求め、上記第1メモリにこの動き量を書き込み、当該第1メモリから、さらに1フィールド前の動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量2と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量3を取り出し、動き量1と動き量2の最大値である動き量4と、動き量1と動き量3の最大値である動き量5を求め、動き量4と動き量5の最小値をそのピクセルの動き量とし、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、2フィールド遅延の同じ位置のピクセルDのデータを用いる

請求項27記載の画像信号処理装置。

【請求項29】 所定画面分の値を保存する第2メモリをさらに有し、

上記処理手段は、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量1

を求め、上記第 1 メモリにこの動き量を書き込み、当該第 1 メモリから、さらに 1 フィールド前の動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量 2 と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量 3 を取り出し、動き量 1 と動き量 2 の最大値である動き量 4 と、動き量 1 と動き量 3 の最大値である動き量 5 を求め、動き量 4 と動き量 5 の最小値である動き量 6 を求め、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量 7 と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量 1 の最大値である動き量 8 を求め、動き量 6 による関数で、上記第 2 メモリに対して、動き量 6 が、所定の閾値以上であれば、上記第 2 メモリに所定の初期値を書き込み、そうでなければ、上記第 2 メモリから読み込んだ値から 1 を減算し、その結果 0 より小さい値になった場合には 0 にして、上記第 2 メモリに書き込み、その値が、0 ならば、動き量 6 を動き検出結果とし、そうでなければ、動き量 8 を動き検出結果とし、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、2 フィールド遅延の同じ位置のピクセル D のデータを用いる

請求項 2 7 記載の画像信号処理装置。

【請求項 3 0】 上記処理手段は、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A と 2 フィールド遅延の同じ位置のピクセル D のデータの平均値を用いる

請求項 2 8 記載の画像信号処理装置。

【請求項 3 1】 上記処理手段は、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によ

って得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAと2フィールド遅延の同じ位置のピクセルDのデータの平均値を用いる

請求項29記載の画像信号処理装置。

【請求項32】 上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の2つの中央値のデータの平均値で補間する

請求項27載の画像信号処理装置。

【請求項33】 上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の2つの中央値のデータの平均値で補間する

請求項28記載の画像信号処理装置。

【請求項34】 上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の2つの中央値のデータの平均値で補間する

請求項29記載の画像信号処理装置。

【請求項35】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサ

を有する請求項27記載の画像信号処理装置。

【請求項36】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサ

を有する請求項28記載の画像信号処理装置。

【請求項37】 上記処理手段は、要素プロセッサを1次元的に多並列にし

た SIMD 制御プロセッサ

を有する請求項 2 9 記載の画像信号処理装置。

【請求項 3 8】 上記要素プロセッサを 1 次元的に多並列した SIMD 制御プロセッサは、ビット処理である

請求項 3 5 記載の画像信号処理装置。

【請求項 3 9】 上記要素プロセッサを 1 次元的に多並列した SIMD 制御プロセッサは、ビット処理である

請求項 3 6 記載の画像信号処理装置。

【請求項 4 0】 上記要素プロセッサを 1 次元的に多並列した SIMD 制御プロセッサは、ビット処理である

請求項 3 7 記載の画像信号処理装置。

【請求項 4 1】 上記処理手段は、複数の論理回路

を含む請求項 2 7 記載の画像信号処理装置。

【請求項 4 2】 インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理方法であって、

画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと 1 フィールド遅延のデータと 2 フィールド遅延のデータと 3 フィールド遅延のデータを使い、2 つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量との最大値と、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R と同じ位置の現フィールドの

ピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量との最大値とを求め、求めた 2 つの最大値のうちの小さい方を、動き検出を行いたいピクセル R の動き量とする

画像信号処理方法。

【請求項 4 3】 動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、2 フィールド遅延の同じ位置のピクセル D のデータを用いる

請求項 4 2 記載の画像信号処理方法。

【請求項 4 4】 動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A と 2 フィールド遅延の同じ位置のピクセル D のデータの平均値を用いる

請求項 4 2 記載の画像信号処理方法。

【請求項 4 5】 フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 4 2 記載の画像信号処理方法。

【請求項 4 6】 フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 4 3 記載の画像信号処理方法。

【請求項 4 7】 フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 4 4 記載の画像信号処理方法。

【請求項 4 8】 インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理方法であって、

画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと 1 フィールド遅延のデータと 2 フィールド遅延のデータと 3 フィールド遅延のデータを使い、2 つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量との最大値と、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと現フィールドの同じ位置のピクセル A 同士のデータの動き量と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量との最大値とを求め、求めた 2 つの最大値のうちの小さい方を、動き検出を行いたいピクセル R の動き量とする

画像信号処理方法。

【請求項 4 9】 動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A のデータを用いる

請求項 4 8 記載の画像信号処理方法。

【請求項 5 0】 動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A と 2 フィールド遅延の同じ位置のピクセル D のデータの平均値を用いる

請求項 4 8 記載の画像信号処理方法。

【請求項 5 1】 フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 4 8 載の画像信号処理方法。

【請求項 5 2】 フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 4 9 記載の画像信号処理方法。

【請求項 5 3】 フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 5 0 記載の画像信号処理方法。

【請求項 5 4】 インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理方法であって、

画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと 2 フィールド遅延のデータを使い、2 つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量を求め、この値を第 1 メモリに書き込み、当該第 1 メモリから、さらに 1 フィールド前の動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデ

ータの動き量を取り出し、これらの動き量を使って動き検出を行う
画像信号処理方法。

【請求項 5 5】 動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量 1 を求め、上記第 1 メモリにこの動き量を書き込み、当該第 1 メモリから、さらに 1 フィールド前の動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量 2 と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量 3 を取り出し、動き量 1 と動き量 2 の最大値である動き量 4 と、動き量 1 と動き量 3 の最大値である動き量 5 を求め、動き量 4 と動き量 5 の最小値をそのピクセルの動き量とし、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、2 フィールド遅延の同じ位置のピクセル D のデータを用いる

請求項 5 4 記載の画像信号処理方法。

【請求項 5 6】 動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量 1 を求め、上記第 1 メモリにこの動き量を書き込み、当該第 1 メモリから、さらに 1 フィールド前の動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量 2 と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量 3 を取り出し、動き量 1 と動き量 2 の最大値である動き量 4 と、動き量 1 と動き量 3 の最大値である動き量 5 を求め、動き量 4 と動き量 5 の最小値である動き量 6 を求め、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量 7 と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動

動き量 1 の最大値である動き量 8 を求め、動き量 6 による関数で、所定画面分の値を保存する第 2 メモリに対して、動き量 6 が、所定の閾値以上であれば、上記第 2 メモリに所定の初期値を書き込み、そうでなければ、上記第 2 メモリから読み込んだ値から 1 を減算し、その結果 0 より小さい値になった場合には 0 にして、第 2 メモリに書き込み、その値が、0 ならば、動き量 6 を動き検出結果とし、そうでなければ、動き量 8 を動き検出結果とし、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、2 フィールド遅延の同じ位置のピクセル D のデータを用いる

請求項 5 4 記載の画像信号処理方法。

【請求項 5 7】 動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A と 2 フィールド遅延の同じ位置のピクセル D のデータの平均値を用いる

請求項 5 5 記載の画像信号処理方法。

【請求項 5 8】 動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A と 2 フィールド遅延の同じ位置のピクセル D のデータの平均値を用いる

請求項 5 6 記載の画像信号処理方法。

【請求項 5 9】 フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 5 4 載の画像信号処理方法。

【請求項 6 0】 フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 5 5 記載の画像信号処理方法。

【請求項 6 1】 フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の 2 つの中央値のデータの平均値で補間する

請求項 5 6 記載の画像信号処理方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像信号処理装置に係り、特にインターレース信号をプログレッシブ信号に変換（I P 変換）する画像信号処理装置およびその方法に関するものである。

【0 0 0 2】

【従来の技術】

テレビジョンやビデオなど、世間の多くの画像信号は、インターレースである。

これに対し、コンピュータ信号は、プログレッシブであり、たとえば、コンピュータの画像とテレビの画像を同時に同じコンピュータディスプレイ上に表示するためにはインターレース信号をプログレッシブに変換しなければならない。

また、インターレース信号は、その特徴から、画像中に細い横線があるとちらつきが生じてしまうが、プログレッシブ信号では、そのようなことがなく、きれいに表示されるため、最近では、家庭用のテレビ受像機でも内部でインターレースからプログレッシブへの変換を行い、プログレッシブで表示するようになっているものもある。

【0 0 0 3】

I P 変換について

インターレース信号は、図 3 2 に示すように、互いにずれた 1 ラインおきのラインデータをもつ 2 つのフィールドで一枚のフレームを構成する。

これに対して、プログレッシブ信号は、図 3 3 に示すように、最初からすべて

のラインデータが存在している（つまっている）。

インターレース信号からプログレッシブに変換する場合、インターレースでは、1ラインおきのデータしか存在しないため、データの無いラインについて、補間データを作り出力する。

【0004】

この補間データは、いろいろな作り方があがあるが、一般的には、図34に示すように、通常は動き検出を行い、動領域と静止領域に分け、動領域についてはフィールド内のデータから補間データを作成し、静止領域については、前フィールドの同じラインのデータをそのまま持ってくるという方法が用いられる。

そして、従来、IP変換を行う際の動き検出処理は、現フィールドと2フィールド遅延のデータを比較した判断していた。

【0005】

【発明が解決しようとする課題】

ところが、上述したように従来の方法では、たとえばIP変換を行う元映像に止まった背景のところに、高速に動く物体が存在するような映像では、本来動いている領域が「静止」と誤検出されてしまっていた。

【0006】

また、たとえば、図35に示すように、白黒の縞がスクロールし、偶然、同じピクセル位置で見たときにフィールドごとに、白、黒、白、黒…と続く場合、実際には動いているのだが、従来の方法では、「静止」と誤検出されてしまっていた。

【0007】

また、従来の方法では、誤検出を目立たなくするために、「動き」と判定された領域を広げる処理が入ることがあるが、これにより本来止まっている領域が、「動き」と判定されてしまうことがあった。

【0008】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、誤検出を防止でき、ピクセル単位で正確に動き検出を行うため動き領域を広げる必要もなく、精度高くIP変換を行うことができる画像信号処理装置およびその方法を提供

することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するため、本発明は、インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理装置であって、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと1フィールド遅延のデータと2フィールド遅延のデータと3フィールド遅延のデータを使い、2つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量との最大値と、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量と、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量との最大値とを求め、求めた2つの最大値のうちの小さい方を、動き検出を行いたいピクセルRの動き量として動き検出を行う処理手段を有する。

【0010】

また、本発明では、上記処理手段は、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、2フィールド遅延の同じ位置のピクセルDのデータを用いる。

【0011】

また、本発明は、インターレース信号のデータが存在しないラインについて、

動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理装置であって、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと1フィールド遅延のデータと2フィールド遅延のデータと3フィールド遅延のデータを使い、2つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量との最大値と、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータと現フィールドの同じ位置のピクセルA同士のデータの動き量と、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量との最大値とを求め、求めた2つの最大値のうちの小さい方を、動き検出を行いたいピクセルRの動き量として動き検出を行う処理手段とを有する。

【 0 0 1 2 】

また、本発明では、上記処理手段は、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAのデータを用いる。

【 0 0 1 3 】

また、本発明では、上記処理手段は、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAと2フィールド遅延の同じ位置のピクセルDのデータの平均値を用いる。

【 0 0 1 4 】

また、本発明では、上記処理手段は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の2つの中央値のデータの平均値で補間する。

【 0 0 1 5 】

また、本発明は、インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理装置であって、演算で求められた動き量が書き込み、読み出しされる第1メモリと、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと2フィールド遅延のデータを使い、2つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量を求め、この値を上記第1メモリに書き込み、当該第1メモリから、さらに1フィールド前の動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量を取り出し、これらの動き量を使って動き検出を行う処理手段とを有する。

【 0 0 1 6 】

また、本発明では、上記処理手段は、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量1を求め、上記第1メモリにこの動き量を書き込み、当該第1メモリから、さらに1フィールド前の動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量2と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデ

ータの動き量 3 を取り出し、動き量 1 と動き量 2 の最大値である動き量 4 と、動き量 1 と動き量 3 の最大値である動き量 5 を求め、動き量 4 と動き量 5 の最小値をそのピクセルの動き量とし、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、2 フィールド遅延の同じ位置のピクセル D のデータを用いる。

【 0 0 1 7 】

また、本発明では、所定画面分の値を保存する第 2 メモリをさらに有し、上記処理手段は、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量 1 を求め、上記第 1 メモリにこの動き量を書き込み、当該第 1 メモリから、さらに 1 フィールド前の動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量 2 と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量 3 を取り出し、動き量 1 と動き量 2 の最大値である動き量 4 と、動き量 1 と動き量 3 の最大値である動き量 5 を求め、動き量 4 と動き量 5 の最小値である動き量 6 を求め、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量 7 と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量 1 の最大値である動き量 8 を求め、動き量 6 による関数で、上記第 2 メモリに対して、動き量 6 が、所定の閾値以上であれば、上記第 2 メモリに所定の初期値を書き込み、そうでなければ、上記第 2 メモリから読み込んだ値から 1 を減算し、その結果 0 より小さい値になった場合には 0 にして、上記第 2 メモリに書き込み、その値が、0 ならば、動き量 6 を動き検出結果とし、そうでなければ、動き量 8 を動き検出結果とし、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、2 フィールド遅延の同じ位置のピクセル D のデ

ータを用いる。

【 0 0 1 8 】

また、本発明では、上記処理手段は、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAと2フィールド遅延の同じ位置のピクセルDのデータの平均値を用いる。

【 0 0 1 9 】

また、本発明では、上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサを有する。

【 0 0 2 0 】

また、本発明では、上記要素プロセッサを1次元的に多並列したSIMD制御プロセッサは、ビット処理である。

【 0 0 2 1 】

また、本発明では、上記処理手段は、複数の論理回路を含む。

【 0 0 2 2 】

また、本発明では、インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理方法であって、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと1フィールド遅延のデータと2フィールド遅延のデータと3フィールド遅延のデータを使い、2つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量との最大値と、動き検出を行いたいピクセルRの前後のラインのピクセルB、C

からフィールド内補間によって得たデータと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量と、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量との最大値とを求め、求めた2つの最大値のうちの小さい方を、動き検出を行いたいピクセルRの動き量とする。

【 0 0 2 3 】

また、本発明では、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、2フィールド遅延の同じ位置のピクセルDのデータを用いる。

【 0 0 2 4 】

また、本発明では、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAと2フィールド遅延の同じ位置のピクセルDのデータの平均値を用いる。

【 0 0 2 5 】

また、本発明は、インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理方法であって、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと1フィールド遅延のデータと2フィールド遅延のデータと3フィールド遅延のデータを使い、2つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量との最大値と、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cか

らフィールド内補間によって得たデータと現フィールドの同じ位置のピクセルA同士のデータの動き量と、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量との最大値とを求め、求めた2つの最大値のうちの小さい方を、動き検出を行いたいピクセルRの動き量とする。

【 0 0 2 6 】

また、本発明では、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAのデータを用いる。

【 0 0 2 7 】

また、本発明では、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAと2フィールド遅延の同じ位置のピクセルDのデータの平均値を用いる。

【 0 0 2 8 】

また、本発明は、インターレース信号のデータが存在しないラインについて、動き検出を行うことにより補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理方法であって、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと2フィールド遅延のデータを使い、2つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量を求め、この値を第1メモリに書き込み、当該第1メモリから、さらに1フィールド前の動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量を取り出し、これらの動き量を使って動き検出を行う。

【 0 0 2 9 】

また、本発明では、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量1を求め、上記第1メモリにこの動き量を書き込み、当該第1メモリから、さらに1フィールド前の動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量2と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量3を取り出し、動き量1と動き量2の最大値である動き量4と、動き量1と動き量3の最大値である動き量5を求め、動き量4と動き量5の最小値をそのピクセルの動き量とし、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、2フィールド遅延の同じ位置のピクセルDのデータを用いる。

【 0 0 3 0 】

また、本発明では、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量1を求め、上記第1メモリにこの動き量を書き込み、当該第1メモリから、さらに1フィールド前の動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量2と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量3を取り出し、動き量1と動き量2の最大値である動き量4と、動き量1と動き量3の最大値である動き量5を求め、動き量4と動き量5の最小値である動き量6を求め、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量7と、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量1の最大値である動き量8を求め、動き量6による関数で、所定画面分の値

を保存する第2メモリに対して、動き量6が、所定の閾値以上であれば、上記第2メモリに所定の初期値を書き込み、そうでなければ、上記第2メモリから読み込んだ値から1を減算し、その結果0より小さい値になった場合には0にして、上記第2メモリに書き込み、その値が、0ならば、動き量6を動き検出結果とし、そうでなければ、動き量8を動き検出結果とし、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、2フィールド遅延の同じ位置のピクセルDのデータを用いる。

【0031】

また、本発明では、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAと2フィールド遅延の同じ位置のピクセルDのデータの平均値を用いる。

【0032】

また、本発明方法では、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値が所定の閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素のデータの中の2つの中央値のデータの平均値で補間する。

【0033】

本発明によれば、たとえば処理手段において、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、たとえば現フィールドのデータと1フィールド遅延のデータと2フィールド遅延のデータと3フィールド遅延のデータを使い、2つのデータの差の絶対値による動き量をあらわす関数を定める。

そして、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延

の同じ位置のピクセルF同士のデータの動き量との最大値とを求める。

また、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量と、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量との最大値とを求める。

そして、求めた2つの最大値のうちの小さい方を、動き検出を行いたいピクセルRの動き量として動き検出を行う。

【0034】

【発明の実施の形態】

第1実施形態

図1は、本発明に係る画像信号処理装置の第1の実施形態を示すブロック図である。

【0035】

この画像信号処理装置10は、図1に示すように、処理手段としてのデジタルシグナルプロセッサ(DSP)11、および1フィールドディレイを生成するためのメモリ12、13、14を主構成要素として有している。

【0036】

DSP11の画像データの入力段に、1フィールド分のディレイを生成するためのメモリ12(M1)、13(M2)、14(M3)が配置されている。

画像データの入力ラインが、メモリ12の入力端子と、DSP11の第1入力端子(I1)に接続されている。

メモリ12の出力端子がメモリ13の入力端子とDSP11の第2入力端子(I2)に接続されている。

メモリ13の出力端子がメモリ14の入力端子とDSP11の第3入力端子(I3)に接続されている。

そして、メモリ14の出力端子がDSP11の第4入力端子(I4)に接続されている。

【0037】

D S P 1 1 は、内部のメモリに、入力端子 I 1 へのデータ D I 1 と入力端子 I 3 へのデータ D I 3 のデータを蓄えておく。

また、D S P 1 1 は、内部のメモリに、入力端子 I 2 へのデータ D I 2 と入力端子 I 4 へのデータ D I 4 を 2 ライン分蓄えておく。

【 0 0 3 8 】

D S P 1 1 は、図示しない制御系によるパラメータに基づいて、画像ソースによる画像信号をインタレース信号からプログレッシブ信号に変換する I P (インタレース/プログレッシブ) 変換を行う。

【 0 0 3 9 】

D S P 1 1 は、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、第 1 の動き検出処理として次のように行う。

すなわち、現フィールドのデータと 1 フィールド遅延のデータと 2 フィールド遅延のデータと 3 フィールド遅延のデータを使い、2 つのデータの差の絶対値による動き量をあらわす関数を定め、図 2 に示すように、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量との最大値と、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量との最大値とを求め、求めた 2 つの最大値のうちの小さい方を、動き検出を行いたいピクセル R の動き量とする。

【 0 0 4 0 】

また、D S P 1 1 は、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、2 フィールド遅延の同じ位置のピクセル D

のデータを用いる。

【 0 0 4 1 】

また、DSP 1 1 は、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、第 2 の動き検出処理として次のように行う。

すなわち、現フィールドのデータと 1 フィールド遅延のデータと 2 フィールド遅延のデータと 3 フィールド遅延のデータを使い、2 つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量との最大値と、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと現フィールドの同じ位置のピクセル A 同士のデータの動き量と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量との最大値とを求め、求めた 2 つの最大値のうちの小さい方を、動き検出を行いたいピクセル R の動き量とする。

【 0 0 4 2 】

また、DSP 1 1 は、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A のデータを用いる。

【 0 0 4 3 】

また、DSP 1 1 は、第 1 および第 2 の動き検出処理において、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセル A と 2 フィールド遅延の同じ位置のピクセル D のデータの平均値を用いる。

【 0 0 4 4 】

さらに、DSP 1 1 は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値がある閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素（本実施形態では近傍 6 画素）のデータの中の 2 つの中央値のデータの平均値で補間する。

【 0 0 4 5 】

DSP 1 1 は、リニアアレイ（線型配列）型 DSP、たとえば要素プロセッサを 1 次元的に多並列にした SIMD（Single Instruction Stream Multiple Data stream）制御方式の並列プロセッサにより構成される。

【 0 0 4 6 】

以下に、SIMD 制御プロセッサの具体的な構成、および DSP 1 1 における IP 変換処理の具体的な処理内容について、図面に関連付けて順を追って説明する。

【 0 0 4 7 】

SIMD 制御プロセッサの基本的な構成

以下、SIMD 制御プロセッサの構成を、図 3 に関連付けて説明する。

この SIMD 制御プロセッサ 1 0 0 は、図 3 に示すように、入力ポインタ（入力スキップレジスタ）1 0 1、入力 SAM（シリアルアクセスメモリ）部（入力レジスタ）1 0 2、データメモリ部（ローカルメモリ）1 0 3、ALU（Arithmetic and Logic Unit）アレイ部 1 0 4、出力 SAM 部（出力レジスタ）1 0 5、出力ポインタ（出力スキップレジスタ）1 0 6 およびプログラム制御部 1 0 7 により構成されている。

【 0 0 4 8 】

これらの構成部分のうち、入力 SAM 部 1 0 2、データメモリ部 1 0 3 および出力 SAM 部 1 0 5 は、主にメモリから構成される。

入力 SAM 部 1 0 2、データメモリ部 1 0 3、ALU アレイ部 1 0 4 および出力 SAM 部 1 0 5 は、リニアアレイ（線形配列）形式に並列化された複数（原画像の 1 水平走査期間分の画素数 H 以上）の要素プロセッサ 1 1 0 を構成する。

要素プロセッサ 1 1 0 それぞれ（単一エレメント）は、独立したプロセッサの構成部分を有しており、図 3 において斜線を付して示す部分に対応する。また、複数の要素プロセッサ 1 1 0 は、図 3 において横方向に並列に配列され、要素プロセッサ群を構成する。

【 0 0 4 9 】

入力ポインタ（入力スキップレジスタ） 1 0 1 は、1 ビットシフトレジスタであり、外部の画像処理機器（図示せず）等から原画像の 1 画素分の画素データが入力されるたびに、論理値 1（H）の 1 ビット信号〔入力ポインタ信号（S I P）〕をシフトすることにより、入力された 1 画素分の画素データを担当する要素プロセッサ 1 1 0 を指定し、指定した要素プロセッサ 1 1 0 の入力 S A M 部 1 0 2（入力 S A M セル）に、対応する原画像の画素データを書き込む。

【 0 0 5 0 】

つまり、入力ポインタ 1 0 1 は、原画像の 1 水平走査期間ごとに、まず、図 3 の左端の要素プロセッサ 1 1 0 に対する入力ポインタ信号を論理値 1 として、画素データに同期したクロック信号に応じて入力される最初の原画像の画素データを、図 3 に示した S I M D 制御プロセッサ 1 0 0 の左端の要素プロセッサ 1 0 0 の入力 S A M 部 1 0 2 に書き込み、さらにその後、クロック信号が 1 周期分変化するたびに、順次、右隣の要素プロセッサ 1 1 0 に対する論理値 1 の入力ポインタ信号が右方にシフトして、要素プロセッサ 1 1 0 それぞれの入力 S A M 部 1 0 2 に、原画像の画像データを 1 画素分ずつ書き込んでゆく。

【 0 0 5 1 】

入力 S A M 部（入力レジスタ） 1 0 2 は、上述したように入力ポインタ 1 0 1 から入力される入力ポインタ信号が論理値 1 になった場合に、外部の画像処理機器等から入力端子 D I N に入力される 1 画素分の画素データ（入力データ）を記憶する。つまり、要素プロセッサ 1 1 0 の入力 S A M 部 1 0 2 は、全体として、水平走査期間ごとに、原画像の 1 水平走査期間分の画素データを記憶する。

さらに、入力 S A M 部 1 0 2 は、記憶した 1 水平走査期間分の原画像の画素データ（入力データ）を、プログラム制御部 1 0 7 の制御に従って、次の水平走査帰線期間において、必要に応じてデータメモリ部 1 0 3 に対して転送する。

【 0 0 5 2 】

データメモリ部（ローカルメモリ）103は、プログラム制御部107の制御に従い、入力ポインタ101から入力される入力ポインタ信号（SIP）の論理値に応じて、入力SAM部102に入力された原画像の画素データ、演算途中のデータ、および、定数データ等を記憶し、ALUアレイ部104に対して出力する。

【 0 0 5 3 】

ALUアレイ部104は、プログラム制御部107の制御に従って、データメモリ部103から入力される原画像の画素データ、演算途中のデータ、および、定数データ等に対して算術演算処理および論理演算処理を行って、データメモリ部103の所定のアドレスに記憶する。

なお、ALUアレイ部104は、原画像の画素データに対する演算処理を全てビット単位で行い、1サイクルごとに1ビット分のデータを演算処理する。

【 0 0 5 4 】

出力SAM部（出力レジスタ）105は、プログラム制御部107の制御に従って、1水平走査期間に割り当てられている処理が終了した場合に、データメモリ部103から処理結果の転送を受け記憶する。

また、出力SAM部105は、出力ポインタ106から入力される出力ポインタ信号（SOP）に応じて記憶したデータを外部に出力する。

【 0 0 5 5 】

出力ポインタ（出力スキップレジスタ）106は、1ビットシフトレジスタにより構成され、出力SAM部105に対して出力ポインタ信号（SOP）を選択的に活性化して、処理結果（出力データ）の出力を制御する。

【 0 0 5 6 】

プログラム制御部107は、プログラムメモリ、プログラムメモリに記憶されたプログラムの進行を制御するシーケンス制御回路、および、入力SAM部102、データメモリ部103および出力SAM部105を構成するメモリ用の「ロウ（ROW）」アドレスコデータ（いずれも図示せず）等から構成される。

プログラム制御部107は、これらの構成部分により、単一のプログラムを記

憶し、原画像の水平走査期間ごとに、記憶した単一のプログラムに基づいて各種制御信号を生成し、生成した各種制御信号を介して全ての要素プロセッサ 1 1 0 を連動して制御することにより画像データに対する処理を行う。このように、単一のプログラムに基づいて複数の要素プロセッサを制御することを、S I M D 制御と称する。

【 0 0 5 7 】

各要素プロセッサ（プロセッサエレメント） 1 1 0 は、1 ビットプロセッサであり、外部の画像処理機器や前段の回路から入力される原画像の画素データそれぞれに対して、論理演算処理および算術演算処理を行い、要素プロセッサ 1 1 0 全体として、F I R デジタルフィルタによる水平方向および垂直方向のフィルタリング処理等を実現する。

なお、プログラム制御部 1 0 7 による S I M D 制御は、水平走査期間を周期として行われるので、各要素プロセッサ 1 1 0 は、最大、水平走査期間を要素プロセッサ 1 1 0 の命令サイクルの周期で除算して得られるステップ数のプログラムを、各水平走査期間ごとに実行し得る。

【 0 0 5 8 】

また、要素プロセッサ 1 1 0 は、隣接する要素プロセッサ 1 1 0 と接続されており、必要に応じて、隣接する要素プロセッサ 1 1 0 とプロセッサ間通信を行う機能を有する。

つまり、各要素プロセッサ 1 1 0 は、プログラム制御部 1 0 7 の S I M D 制御に従って、例えば、右隣または左隣の要素プロセッサ 1 1 0 のデータメモリ部 1 0 3 等にアクセスして処理を行うことができ、また、右隣の要素プロセッサ 1 1 0 へのアクセスを繰り返すことにより、要素プロセッサ 1 1 0 は直接接続されていない要素プロセッサ 1 1 0 のデータメモリ部 1 0 3 に対してアクセスし、データを読み出すことができる。要素プロセッサ 1 1 0 は、隣接プロセッサ間の通信機能を利用して、水平方向のフィルタリング処理を全体として実現する。

【 0 0 5 9 】

ここで、たとえば、水平方向に 1 0 画素程度離れた画素データとの間の演算処理が必要になる場合等、プロセッサ間通信を行うとプログラムステップが非常に

多くなってしまうが、実際のFIRフィルタ処理は、10画素も離れた画素データ間の演算処理をほとんど含まず、連続する画素データに対する演算処理がほとんどである。したがって、プロセッサ間通信を行うFIRフィルタ処理のプログラムステップが増加して非効率になるということはほとんどあり得ない。

【0060】

また、各要素プロセッサ110は、常に水平走査方向における同一位置の画素データを専門に担当して処理する。したがって、入力SAM部102から原画像の画素データ（入力データ）を転送する先のデータメモリ部103の書き込みアドレスを水平走査期間の初期ごとに変更して、過去の水平走査期間の入力データを保持しておくことができるので、要素プロセッサ110は、原画像の画素データを垂直方向にもフィルタリングすることができる。

【0061】

なお、要素プロセッサ110それぞれにおける原画像の画素データ（入力データ）を入力SAM部102に書き込む入力処理（第1の処理）、プログラム制御部107の制御に従って、入力SAM部102に記憶された入力データのデータメモリ部103への転送処理、ALUアレイ部104による演算処理、出力SAM部105への処理結果（出力データ）の転送処理（第2の処理）、および、出力SAM部105からの出力データの出力処理（第3の処理）は、処理周期を1水平走査期間としたパイプライン形式で実行される。

したがって、入力データに着目した場合、同一の入力データに対する第1～第3の処理それぞれは1水平走査期間分の処理時間を要するので、これら3つの処理の開始から終了までには、3水平走査期間分の処理時間が必要とされる。しかしながら、これら3つの処理がパイプライン形式で並行して実行されるので、平均すると、1水平走査期間分の入力データの処理には、1水平走査期間分の処理時間しか必要とされない。

【0062】

以下、図3に示した画像処理用のリニアアレイ型SIMD制御プロセッサの基本的な動作を説明する。

【0063】

入力ポインタ 1 0 1 では、最初の水平走査期間（第 1 の水平走査期間）において、入力された原画像の画素データに同期したクロックに応じて、各要素プロセッサ 1 1 0 に対する論理値 1（H）の入力ポインタ信号が順次シフトされて、原画像の各画素データを担当して演算処理する要素プロセッサ 1 1 0 が指定される。

【 0 0 6 4 】

原画像の画素データは、入力端子 D I N を介して入力 S A M 部 1 0 2 に入力される。

入力 S A M 部 1 0 2 では、入力ポインタ信号の論理値に応じて、各要素プロセッサ 1 1 0 に原画像の 1 画素分の画素データが記憶される。

1 水平走査期間に含まれる各画素に対応する要素プロセッサ 1 1 0 の全ての入力 S A M 部 1 0 2 において、それぞれ原画像の画素データが記憶される。そして、全体として 1 水平走査期間分の画素データが記憶されると、入力処理（第 1 の処理）が終了する。

【 0 0 6 5 】

入力処理（第 1 の処理）が終了すると、水平走査期間ごとに、単一のプログラムに従って、各要素プロセッサ 1 1 0 の入力 S A M 部 1 0 2、データメモリ部 1 0 3、A L U アレイ部 1 0 4 および出力 S A M 部 1 0 5 がプログラム制御部 1 0 7 により S I M D 制御されて、原画像の画素データに対する処理が実行される。

【 0 0 6 6 】

すなわち、次の水平走査帰線期間（第 2 の水平走査期間）において、各入力 S A M 部 1 0 2 では、第 1 の水平走査期間において記憶した原画像の各画素データ（入力データ）がデータメモリ部 1 0 3 に転送される。

【 0 0 6 7 】

なお、このデータ転送処理は、プログラム制御部 1 0 7 が、入力 S A M 読み出し信号（S I R）を活性化〔論理値 1（H）に〕して入力 S A M 部 1 0 2 の所定のロウ（R O W）のデータを選択してアクセスを行い、さらに、メモリアクセス信号（S W A）を活性化して、アクセスしたデータをデータメモリ部 1 0 3 の所定のロウのメモリセル（後述）へ書き込むように入力 S A M 部 1 0 2 およびデー

タメモリ部 1 0 3 を制御することにより実現される。

【 0 0 6 8 】

次に、水平走査期間にプログラム制御部 1 0 7 により、プログラムに基づいて各要素プロセッサ 1 1 0 が制御され、データメモリ部 1 0 3 からデータが A L U アレイ部 2 4 に対して出力される。

A L U アレイ部 1 0 4 では、算術演算処理および論理演算処理が行われ、処理結果がデータメモリ部 1 0 3 の所定のアドレスに書き込まれる。

プログラムに応じた算術演算処理および論理演算処理が終了すると、プログラム制御部 1 0 7 では、データメモリ部 1 0 3 の制御が行われて、処理結果がさらに次の水平走査帰線期間に出力 S A M 部 1 0 5 に転送される（ここまでが第 2 の処理）。

さらに、次の水平走査期間（第 3 の水平走査期間）において、出力 S A M 部 1 0 5 が制御されて、処理結果（出力データ）が外部に出力される（第 3 の処理）。

【 0 0 6 9 】

つまり、入力 S A M 部 1 0 2 に記憶された 1 水平走査期間分の入力データは、次の水平走査期間において、必要に応じてデータメモリ部 1 0 3 に転送され、記憶されて、その後の水平走査期間における処理に用いられる。

【 0 0 7 0 】

要約すると、本実施形態に係る画像 D S P 1 1 は、図 4 （ a ） ， （ b ） に示すように、水平走査期間に、入力 S A M 部 1 0 2 に入力データを入力し、図 4 （ c ） に示すように、A L U アレイ部 1 0 4 で I P 変換処理を行い、出力 S A M 部 1 0 5 から出力データを出力する。

また、図 4 （ b ） ， （ c ） に示すように、水平帰線期間に、入力 S A M 部 1 0 2 に入力されたデータを D S P 内部のデータメモリ部 1 0 3 に転送し、図 4 （ c ） ， （ d ） に示すように、D S P 内部のデータメモリ部 1 0 3 と A L U アレイ部 1 0 4 で演算された I P 変換の結果を出力 S A M 部 1 0 5 に転送する。

この動作をパイプライン的に行う。

なお、I P 変換なので、入力 1 ラインに対して、出力は、2 倍のスピードで、

2ライン分出力する。

【0071】

次に、図3に示すような基本構成を有するDSP11におけるIP変換の具体的な処理について、図5～図15に関連付けて説明する。

【0072】

前述したように、DSP11は、内部のメモリに、入力端子I1へのデータDI1と入力端子I3へのデータDI3のデータを蓄えておく。これらのデータを図5に示すように、DAT1、DAT3とする。

また、DSP11は、内部のメモリに、入力端子I2へのデータDI2と入力端子I4へのデータDI4を2ライン分蓄えておく。これらのデータを図5に示すように、DAT20、DAT21、DAT40、DAT41とする。

【0073】

また、たとえば2つのデータの差の絶対値による動き量をあらわす関数を図6のように定める。

データDAT1とデータDAT3の動き量をMV1、DAT20とDAT40の動き量をMV2、データDAT21とデータDAT41の動き量をMV3とし、MV1、MV2、MV3の中の最大値をMX1とする。

【0074】

次にたとえば、フィールド内補間のデータを、図7に示すように求める。

すなわち、今、フィールド内補間で求めたい点をR、DAT20上のRの左上のデータをA、DAT20上のRの真上のデータをB、DAT20上のRの右上のデータをC、DAT21上のRの左下のデータをD、DAT21上のRの真下のデータをE、DAT21上のRの右下のデータをFとする。

【0075】

Bのデータの値と、Eのデータの値の差の絶対値が、所定の閾値よりも小さい場合、 $R = (B + E) / 2$ をフィールド内補間の結果とする。

大きい場合、まず、A、B、C、D、E、Fの値を大きい順に並び替える。

3番目に大きい値をM3、4番目に大きい値をM4とすると、 $R = (M3 + M4) / 2$ をフィールド内補間の結果とする。

【0076】

また、RとDAT3の動き量をMVRとする。

MV1とMVRのうち大きいほうの値をMX2とする。

MX1, MX2のうち小さいほうを動き検出値MXとする。

最後に、IP変換の結果として、 $RES = (MX * R + DAT3 * (8 - MX)) / 8$ とし、DAT21または、DAT20とRESを出力する。

【0077】

以下に、本第1の実施形態に係るIP変換動作を図8～図15のフローチャートに関連付けてさらに詳細に説明する。

【0078】

入力データの水平帰線期間に(ST101)、以下の代入処理を行う。

入力SAM部102から、DSP11内部のデータメモリ部103上の変数DAT1に代入する。同様に、入力SAM部102から、DSP11内部のデータメモリ部103上の変数DAT20に代入する。入力SAM部102から、DSP11内部のデータメモリ部103上の変数DAT3に代入する。入力SAM部I4から、DSP11内部のデータメモリ部103の変数DAT40に代入する(ST102)。

【0079】

次に、DSP11内部のデータメモリ部103上の変数RESの値を出力SAM部105に転送する(ST103)。

DSP11内部のデータメモリ部103上の変数DAT20の値とDSP11内部のデータメモリ部103上の変数DAT21の値を加算し、DSP11内部のデータメモリ部103上の変数Sに代入する(ST104)。

DSP11内部のデータメモリ部103上の変数Sの値を2で除算し、Sに代入する(ST105)。

DSP11内部のデータメモリ部103の変数DAT20の値からDSP内部のデータメモリ部103の変数DAT21の値を減算し、DSP11内部のデータメモリ部103の変数Xに代入する(ST106)。

そして、Xが負ならば(ST107)、Xに $-X$ を代入し(ST108)、X

が負でなければ (S T 1 0 7) 、 X に X を代入する (S T 1 0 9) 。

次に、図 9 のステップ S T 1 1 0 の処理に移行する。

【 0 0 8 0 】

ステップ S T 1 1 0 においては、以下の処理を行う。

D S P 1 1 内部のデータメモリ部 1 0 3 の変数 T 0 に、1 つ左のプロセッサエレメント 1 1 0 の D A T 2 0 の値を代入する。

D S P 1 1 内部のデータメモリ部 1 0 3 の変数 T 1 に、D A T 2 0 の値を代入する。

D S P 1 1 内部のデータメモリ部 1 0 3 の変数 T 2 に、1 つ右のプロセッサエレメント 1 1 0 の D A T 2 0 の値を代入する。

D S P 1 1 内部のデータメモリ部 1 0 3 の変数 T 3 に、1 つ左のプロセッサエレメント 1 1 0 の D A T 2 1 の値を代入する。

D S P 1 1 内部のデータメモリ部 1 0 3 の変数 T 4 に、D A T 2 1 の値を代入する。

D S P 1 1 内部のデータメモリ部 1 0 3 の変数 T 5 に、1 つ右のプロセッサエレメント 1 1 0 の D A T 2 1 の値を代入する。

【 0 0 8 1 】

次に、変数 T 0 ~ T 5 の値を大きい順に並べ替え、大きいほうから、D S P 1 1 内部のデータメモリ部 1 0 3 の変数 M 1 、 M 2 、 M 3 、 M 4 、 M 5 、 M 6 に代入する (S T 1 1 1) 。

次に、M 3 と M 4 の値を加算し、D S P 1 1 内部のデータメモリ部 1 0 3 の変数 M に代入する (S T 1 1 2) 。

D S P 1 1 内部のデータメモリ部 1 0 3 の変数 M の値を 2 で除算し、M に代入する (S T 1 1 3) 。

D S P 1 1 内部のデータメモリ部 1 0 3 の変数 X の値が所定の閾値よりも大きければ (S T 1 1 4) 、D S P 1 1 内部のデータメモリ部 1 0 3 の変数 R に D S P 1 1 内部のデータメモリ部 1 0 3 の変数 M の値を代入する (S T 1 1 5) 。

これに対して、変数 X の値が所定の閾値よりも大きくなければ (S T 1 1 4) 、D S P 1 1 内部のデータメモリ部 1 0 3 の変数 R に D S P 1 1 内部のデータメ

メモリ部 1 0 3 の変数 S の値を代入する (S T 1 1 6) 。

次に、図 1 0 のステップ S T 1 1 7 の処理に移行する。

【 0 0 8 2 】

ステップ S T 1 1 7 においては、 D S P 1 1 内部のデータメモリ部 1 0 3 の変数 D A T 1 の値から D S P 内部のデータメモリ部 1 0 3 の変数 D A T 3 の値を減算し、 D S P 内部のデータメモリ部 1 0 3 の変数 X に代入する。

X が負ならば (S T 1 1 8) 、 X に $-X$ を代入し (S T 1 1 9) 、 X が負でなければ (S T 1 1 8) 、 X に X を代入する (S T 1 2 0) 。

次に、 X から 2 を減算する (S T 1 2 1) 。

X が負ならば (S T 1 2 2) 、 X に 0 を代入し (S T 1 2 3) 、 X が負でなければ (S T 1 2 2) 、 X に X を代入する (S T 1 2 4) 。

さらに、 X が 8 より大きければ (S T 1 2 5) 、 X に 8 を代入し (S T 1 2 6) 、 X が 8 より大きくなければ (S T 1 2 5) 、 X に X を代入する (S T 1 2 7) 。

そして、 D S P 1 1 内部のデータメモリ部 1 0 3 上の変数 M V 1 に X を代入する (S T 1 2 8) 。

次に、図 1 1 のステップ S T 1 2 9 の処理に移行する。

【 0 0 8 3 】

ステップ S T 1 2 9 においては、 D S P 1 1 内部のデータメモリ部 1 0 3 の変数 D A T 2 0 の値から D S P 1 1 内部のデータメモリ部 1 0 3 の変数 D A T 4 0 の値を減算し、 D S P 内部のデータメモリ部 1 0 3 の変数 X に代入する。

そして、 X が負ならば (S T 1 3 0) 、 X に $-X$ を代入し (S T 1 3 1) 、 X が負でなければ (S T 1 3 0) 、 X に X を代入する (S T 1 3 2) 。

次に、 X から 2 を減算する (S T 1 3 3) 。

次に、 X が負ならば (S T 1 3 4) 、 X に 0 を代入し (S T 1 3 5) 、 X が負でなければ (S T 1 3 4) 、 X に X を代入する (S T 1 3 6) 。

さらに、 X が 8 より大きければ (S T 1 3 7) 、 X に 8 を代入し (S T 1 3 8) 、 X が 8 より大きくなければ (S T 1 3 7) 、 X に X を代入する (S T 1 3 9) 。

そして、DSP 11 内部のデータメモリ部 103 の変数 MV 2 に X を代入する (ST 140)。

次に、図 12 のステップ ST 141 の処理に移行する。

【0084】

ステップ ST 141 においては、DSP 11 内部のデータメモリ部 103 の変数 DAT 21 の値から DSP 11 内部のデータメモリ部 103 の変数 DAT 41 の値を減算し、DSP 内部のデータメモリ部 103 の変数 X に代入する。

そして、X が負ならば (ST 142)、X に $-X$ を代入し (ST 143)、X が負でなければ (ST 142)、X に X を代入する (ST 144)。

次に、X から 2 を減算する (ST 145)。

次に、X が負ならば (ST 146)、X に 0 を代入し (ST 147)、X が負でなければ (ST 146)、X に X を代入する (ST 148)。

さらに、X が 8 より大きければ (ST 149)、X に 8 を代入し (ST 150)、X が 8 より大きくなければ (ST 149)、X に X を代入する (ST 151)。

そして、DSP 11 内部のデータメモリ部 103 の変数 MV 3 に X を代入する (ST 152)。

次に、図 13 のステップ ST 153 の処理に移行する。

【0085】

ステップ ST 153 においては、DSP 11 内部のデータメモリ部 103 の変数 R の値から DSP 11 内部のデータメモリ部 103 の変数 DAT 3 の値を減算し、DSP 内部のデータメモリ部 103 の変数 X に代入する (ST 153)。

そして、X が負ならば (ST 154)、X に $-X$ を代入し (ST 155)、X が負でなければ (ST 154)、X に X を代入する (ST 156)。

次に、X から 2 を減算する (ST 157)。

次に、X が負ならば (ST 158)、X に 0 を代入し (ST 159)、X が負でなければ (ST 158)、X に X を代入する (ST 160)。

さらに、X が 8 より大きければ (ST 161)、X に 8 を代入し (ST 162)、X が 8 より大きくなければ (ST 161)、X に X を代入する (ST 163)。

）。

そして、DSP11内部のデータメモリ部103の変数MVRにXを代入する(ST164)。

次に、図14のステップST165の処理に移行する。

【0086】

ステップST165においては、DSP11内部のデータメモリ部103の変数MV1とDSP11内部のデータメモリ部103の変数MV2の値を比較する。

そして、 $MV1 > MV2$ ならば、DSP11内部のデータメモリ部103の変数MX1にMV1を代入し(ST166)、 $MV1 > MV2$ でなければ、DSP11内部のデータメモリ部103の変数MX1にMV2を代入する(ST167)。

次に、DSP11内部のデータメモリ部103の変数MX1とDSP内部のデータメモリ部103の変数MV3の値を比較し(ST168)、 $MX1 > MV3$ ならば、DSP11内部のデータメモリ部103の変数MX1にMX1を代入し、(ST169)、 $MX1 > MV3$ でなければ、DSP11内部のデータメモリ部103の変数MX1にMV3を代入する(ST170)。

【0087】

次に、DSP11内部のデータメモリ部103の変数MV1とDSP11内部のデータメモリ部103の変数MVRの値を比較し(ST171)、 $MV1 > MVR$ ならば、DSP11内部のデータメモリ部103の変数MX2にMV1を代入し(ST172)、 $MV1 > MVR$ でなければ、DSP11内部のデータメモリ部103の変数MX2にMVRを代入する(ST173)。

次に、DSP11内部のデータメモリ部103の変数MX1とDSP11内部のデータメモリ部103の変数MX2の値を比較し(ST174)、 $MX1 > MX2$ ならば、DSP11内部のデータメモリ部103の変数MXにMX2を代入し(ST175)、 $MX1 > MX2$ でなければ、DSP11内部のデータメモリ部103の変数MXにMX1を代入する(ST176)。

そして、図15のステップ177の処理に移行する。

【 0 0 8 8 】

ステップ S T 1 7 7 においては、 $(MX * R + DAT 3 * (8 - MX)) / 8$ を演算し、DSP 内 1 1 部のデータメモリ部 1 0 3 の変数 RES に代入する。

そして、出力の水平帰線期間に (S T 1 7 8)、DSP 1 1 内部のデータメモリ部 1 0 3 の変数 DAT 2 1 の値を出力 SAM 部 1 0 5 へ転送する (S T 1 7 9)。

次に、DSP 1 1 内部のデータメモリ部 1 0 3 の変数 DAT 2 1 に DSP 1 1 内部のデータメモリ部 1 0 3 の変数 DAT 2 0 の値を代入する (S T 1 8 0)。

DSP 1 1 内部のデータメモリ部 1 0 3 の変数 DAT 4 1 に DSP 1 1 内部のデータメモリ部 1 0 3 の変数 DAT 4 0 の値を代入する (S T 1 8 0)。

そして、図 8 のステップ S T 1 0 1 に戻って、以上の処理を繰り返す。

【 0 0 8 9 】

以上説明したように、本実施形態によれば、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドのデータと 1 フィールド遅延のデータと 2 フィールド遅延のデータと 3 フィールド遅延のデータを使い、2 つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量との最大値と、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量との最大値とを求め、求めた 2 つの最大値のうちの小さい方を、動き検出を行いたいピクセル R の動き量として動き検出を行う DSP 1 1 を設けたので、誤検出を防止でき、ピクセル単位で正確に動き検出を行うため動き領域を広げる必要もなく、精度高く IP 変換を行うことがで

きる利点がある。

【0090】

第2実施形態

図16は、本発明に係る画像信号処理装置の第2の実施形態を示すブロック図である。

【0091】

この画像信号処理装置20は、図16に示すように、処理手段としてのデジタルシグナルプロセッサ(DSP)21、1フィールドディレイを生成するためのメモリ22、23、現フィールドと2フィールドディレイのデータから演算して求めた動き量を保存するメモリ24、および動き検出カウント値を保存するメモリ25を主構成要素として有している。

【0092】

DSP21の画像データの入力段に、1フィールド分のディレイを生成するためのメモリ22(M1)、23(M2)が配置されている。また、DSP21の出力端子と入力端子との間にメモリ24(M3)、25(M4)が配置されている。

画像データの入力ラインが、メモリ22の入力端子と、DSP21の第1入力端子(I1)に接続されている。

メモリ22の出力端子がメモリ23の入力端子とDSP21の第2入力端子(I2)に接続されている。

メモリ23の出力端子がDSP21の第3入力端子(I3)に接続されている。

メモリ24の入力端子がDSP21の演算で求めた動き量を出力する第2出力端子(O2)に接続され、メモリ24の出力端子がDSP21の第4入力端子(I4)に接続されている。

メモリ25の入力端子がDSP21の動き検出カウント値を出力する第3出力端子(O3)に接続され、メモリ25の出力端子がDSP21の第5入力端子(I5)に接続されている。

【0093】

DSP21は、内部のメモリに、入力端子I1へのデータDI1と入力端子I3へのデータDI3のデータを蓄えておく。

また、DSP21は、内部のメモリに、入力端子I2へのデータDI2を2ライン分蓄えておく。

【0094】

DSP21は、第1の実施形態に係るDSP11と同様に、図示しない制御系によるパラメータに基づいて、画像ソースによる画像信号をインタレース信号からプログレッシブ信号に変換するIP（インタレース／プログレッシブ）変換を行う。

【0095】

DSP21は、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、次のように行う。

すなわち、現フィールドのデータと2フィールド遅延のデータを使い、2つのデータの差の絶対値による動き量をあらわす関数を定め、図17に示すように、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量を求め、この値を、メモリ24に書き込み、同メモリ24から、さらに1フィールド前の動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデータの動き量と、動き検出を行いたいピクセルRの1ライン下の1フィールド遅延のピクセルCと3フィールド遅延の同じ位置のピクセルF同士のデータの動き量を取り出し、これらの動き量を使って動き検出を行うことによって、2フィールド遅延までのデータで、それ以上前のデータまで使った動き検出と同等の結果を得る。

【0096】

また、DSP21は、動き検出を行いたいピクセルRと同じ位置の現フィールドのピクセルAと2フィールド遅延の同じ位置のピクセルD同士のデータの動き量（動き量1）を求め、メモリ24にこの動き量を書き込み、同メモリ24から、さらに1フィールド前の動き検出を行いたいピクセルRの1ライン上の1フィールド遅延のピクセルBと3フィールド遅延の同じ位置のピクセルE同士のデー

タの動き量（動き量 2）と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量（動き量 3）を取り出し、動き量 1 と動き量 2 の最大値（動き量 4）と、動き量 1 と動き量 3 の最大値（動き量 5）を求め、その両者（動き量 4 と動き量 5）の最小値をそのピクセルの動き量とし、動き量の大きいところでは、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータを用い、動き量の小さいところでは、2 フィールド遅延の同じ位置のピクセル D のデータを用いる。

【 0 0 9 7 】

また、DSP 2 1 は、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量（動き量 1）を求め、メモリ 2 4 にこの動き量を書き込み、同メモリ 2 4 から、さらに 1 フィールド前の動き検出を行いたいピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量（動き量 2）と、動き検出を行いたいピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量（動き量 3）を取り出し、動き量 1 と動き量 2 の最大値（動き量 4）と、動き量 1 と動き量 3 の最大値（動き量 5）を求め、その両者（動き量 4 と動き量 5）の最小値（動き量 6）を求め、動き検出を行いたいピクセル R の前後のラインのピクセル B、C からフィールド内補間によって得たデータと 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量（動き量 7）と、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量（動き量 1）の最大値（動き量 8）を求め、動き量 6 による関数で、1 画面分の値を保存するメモリ 2 5 に対して、動き量 6 が、所定の閾値以上であれば、そのメモリ 2 5 にある初期値を書き込み、そうでなければ、そのメモリ 2 5 から読み込んだ値から 1 を減算し、その結果 0 より小さい値になった場合には 0 にして、そのメモリ 2 5 に書き込み、その値が、0 ならば、動き量 6 を動き検出結果とし、そうでなければ、動き量 8 を動き検出結果とし、動き量の大きいところでは、動き検出を行いたいピクセル

Rの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、2フィールド遅延の同じ位置のピクセルDのデータを用いる。

【0098】

DSP21は、動き量の大きいところでは、動き検出を行いたいピクセルRの前後のラインのピクセルB、Cからフィールド内補間によって得たデータを用い、動き量の小さいところでは、現フィールドの同じ位置のピクセルAと2フィールド遅延の同じ位置のピクセルDのデータの平均値を用いる。

【0099】

さらに、DSP21は、フィールド内補間のデータを求める際、前後のラインの真上と真下のデータの差の絶対値がある閾値よりも小さい場合には、前後のラインの真上と真下のデータの平均値で補間し、そうでない場合には、前後のラインの近傍複数画素（本実施形態では近傍6画素）のデータの中の2つの中央値のデータの平均値で補間する。

【0100】

以上のIP変換機能を有するDSP21は、第1の実施形態に係るDSP11と同様に、図3および図4に関連付けて説明したたとえばSIMD制御プロセッサにより構成される。したがって、ここではその詳細な説明は省略する。

【0101】

基本的な動作としては、第1の実施形態に係るDSP11と同様、図18に示すように、この画像DSP21は、水平走査期間に、入力SAM部102に入力データを入力し、ALUアレイ部104でフィールド内IP変換処理を行い、出力SAM部105から出力データを出力する。

また、水平帰線期間に、入力SAM部102に入力されたデータをDSP21内部のデータメモリ部103に転送し、DSP21内部のデータメモリ部103とALUアレイ部104で演算されたIP変換の結果を出力SAM部105に転送する。

そして、この動作をパイプライン的に行う。

なお、IP変換なので、入力1ラインに対して、出力は、2倍のスピードで、

2ライン分出力する。

【0102】

次に、本第2の実施形態に係るDSP21におけるIP変換の具体的な処理について、図3、図19～図28に関連づけて説明する。

【0103】

前述したように、DSP21は、内部のメモリに、入力端子I1へのデータDI1と入力端子I3へのデータDI3を蓄えておく。これらのデータを、図19に示すように、DAT1、DAT3とする。

また、DSP21は、内部のメモリに、入力端子I2へのデータDI2を2ライン分蓄えておく。これらのデータを、図19に示すように、DAT20、DAT21とする。

【0104】

また、たとえば2つのデータの差の絶対値による動き量をあらわす関数を図20のように定める。

【0105】

データDAT1とデータDAT3の動き量をMV1とし、DSP21の第2出力端子O2から出力する。

メモリ24に蓄えられた、約1フィールド前のMV1の値で、図19のDAT20とDAT40の動き量に相当する値と、DAT21とDAT41の動き量に相当する値を第4入力端子I4を介してメモリ24から読み出し、それぞれ、MV2、MV3とする。

MV1とMV2の最大値をMX1とし、MV1とMV3の最大値をMX2とする。MX1とMX2の最小値をMX3とする。

【0106】

次にたとえば、フィールド内補間のデータを、図21に示すように求める。

すなわち、今、フィールド補間で求めたい点をR、DAT20上のRの左上のデータをA、DAT20上のRの真上のデータをB、DAT20上のRの右上のデータをC、DAT21上のRの左下のデータをD、DAT21上のRの真下のデータをE、DAT21上のRの右下のデータをFとする。

【 0 1 0 7 】

B のデータの値と、E のデータの値の差の絶対値が、所定の閾値よりも小さい場合、 $R = (B + E) / 2$ をフィールド内補間の結果とする。

大きい場合、まず、A, B, C, D, E, F の値を大きい順に並び替える。

3 番目に大きい値を M3、4 番目に大きい値を M4 とすると、 $R = (M3 + M4) / 2$ をフィールド内補間の結果とする。

【 0 1 0 8 】

また、R と DAT3 の動き量を MVR とする。

MV1 と MVR のうち大きいほうの値を MX4 とする。

MX3 が、8 のとき、 $CD = 4$ とする。

MX3 が、8 より小さいとき、1 フレーム前の同じ位置の CD の値をメモリ 25 から読み出し、その値から 1 を減算し、CD が 0 以下になったときは、CD を 0 にし、CD に代入する。

このようにして求めた CD の値を DSP21 の第 3 出力端子 O3 からメモリ 25 に出力する。

CD が 0 のときは、MX に MX3 を代入する。

CD が 0 より大きいときは、MX に MX4 を代入する。

【 0 1 0 9 】

最後に、IP 変換の結果として、 $RES = (MX * R + DAT3 * (8 - MX)) / 8$ とし、DAT21 または、DAT20 と RES を出力する。

【 0 1 1 0 】

以下に、本第 2 の実施形態に係る IP 変換動作を図 22 ～ 図 28 のフローチャートに関連付けてさらに詳細に説明する。

【 0 1 1 1 】

入力データの水平帰線期間に (ST201)、まず以下の転送および代入処理を行う。

まず、ステップ ST202 において以下の転送処理を行う。

DSP21 内部のデータメモリ部 103 上の変数 RES の値を出力 SAM 部 105 (第 1 出力端子) O1 に転送する。

DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 MV 1 の値を出力 SAM 部 1 0 5 (第 2 出力端子 O 2) に転送する。

DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 CD の値を出力 SAM 部 1 0 5 (第 3 出力端子 O 3) に転送する。

【 0 1 1 2 】

次に、ステップ ST 2 0 3 において以下の代入処理を行う。

入力 SAM 部 1 0 2 (第 1 入力端子 I 1) からのデータの値を、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 1 に代入する。

入力 SAM 部 1 0 2 (第 2 入力端子) I 2 からのデータの値を、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 2 0 に代入する。

入力 SAM 部 1 0 2 (第 3 入力端子 I 3) からのデータの値を、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 3 に代入する。

入力 SAM 部 1 0 2 (第 4 入力端子 I 4) からのメモリ 2 4 の読み出しデータの値を、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 MV 3 に代入する。

入力 SAM 部 1 0 2 (第 5 入力端子 I 5) からのメモリ 2 5 の読み出しデータの値を、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 CD に代入する。

【 0 1 1 3 】

次に、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 2 0 の値と DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 2 1 の値を加算し、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 S に代入する (ST 2 0 4)。

DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 S の値を 2 で除算し、S に代入する (ST 2 0 5)。

DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 2 0 の値から DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 2 1 の値を減算し、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 X に代入する (ST 2 0 6)。

そして、X が負ならば (ST 2 0 7)、X に $-X$ を代入し (ST 2 0 8)、X が負でなければ (ST 2 0 7)、X に X を代入する (ST 2 0 9)。

次に、図 2 3 のステップ 2 1 0 の処理に移行する。

【 0 1 1 4 】

ステップ S T 2 1 0 においては、以下の処理を行う。

D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 T 0 に、1 つ左のプロセッサエレメント 1 1 0 の D A T 2 0 の値を代入する。

D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 T 1 に、D A T 2 0 の値を代入する。

D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 T 2 に、1 つ右のプロセッサエレメント 1 1 0 の D A T 2 0 の値を代入する。

D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 T 3 に、1 つ左のプロセッサエレメント 1 1 0 の D A T 2 1 の値を代入する。

D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 T 4 に、D A T 2 1 の値を代入する。

D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 T 5 に、1 つ右のプロセッサエレメント 1 1 0 の D A T 2 1 の値を代入する。

【 0 1 1 5 】

次に、T 0 ～ T 5 の値を大きい順に並べ替え、大きいほうから、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M 1、M 2、M 3、M 4、M 5、M 6 に代入する (S T 2 1 1) 。

次に、M 3 と M 4 の値を加算し、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M に代入する (S T 2 1 2) 。

D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M の値を 2 で除算し、M に代入する (S T 2 1 3) 。

D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 X の値が所定の閾値よりも大きければ (S T 2 1 4)、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 R に D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M の値を代入する (S T 2 1 5)

これに対して、変数 X の値が所定の閾値よりも大きくなければ (S T 2 1 4)、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 R に D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 S の値を代入する (S T 2 1 6) 。

次に、図 2 4 のステップ S T 2 1 7 の処理に移行する。

【 0 1 1 6 】

ステップ 2 1 7 においては、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 1 の値から DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 3 の値を減算し、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 X に代入する。

X が負ならば (ST 2 1 8)、X に $-X$ を代入し (ST 2 1 9)、X が負でなければ (ST 2 1 8)、X に X を代入する (ST 2 2 0)。

次に、X から 2 を減算する (ST 2 2 1)。

X が負ならば (ST 2 2 2)、X に 0 を代入し (ST 2 2 3)、X が負でなければ (ST 2 2 2)、X に X を代入する (ST 2 2 4)。

さらに、X が 8 より大きければ (ST 2 2 5)、X に 8 を代入し (ST 2 2 6)、X が 8 より大きくなければ (ST 2 2 5)、X に X を代入する (ST 2 2 7)。

そして、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 MV 1 に X を代入する (ST 2 2 8)。

次に、図 2 5 のステップ ST 2 2 9 の処理に移行する。

【 0 1 1 7 】

ステップ ST 2 2 9 においては、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 R の値から DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 DAT 3 の値を減算し、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 X に代入する。

そして、X が負ならば (ST 2 3 0)、X に $-X$ を代入し (ST 2 3 1)、X が負でなければ (ST 2 3 0)、X に X を代入する (ST 2 3 2)。

次に、X から 2 を減算する (ST 2 3 3)。

次に、X が負ならば (ST 2 3 4)、X に 0 を代入し (ST 2 3 5)、X が負でなければ (ST 2 3 4)、X に X を代入する (ST 2 3 6)。

さらに、X が 8 より大きければ (ST 2 3 7)、X に 8 を代入し (ST 2 3 8)、X が 8 より大きくなければ (ST 2 3 7)、X に X を代入する (ST 2 3 9)。

そして、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数 MVR に X を代入する (ST 2 4 0)。

次に、図 2 6 のステップ S T 2 4 1 の処理に移行する。

【 0 1 1 8 】

ステップ S T 2 4 1 においては、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M V 1 と D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M V 2 の値を比較する (S T 2 4 1) 。

そして、 $M V 1 > M V 2$ ならば、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 1 に M V 1 を代入し (S T 2 4 2) 、 $M V 1 > M V 2$ でなければ、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 1 に M V 2 を代入する (S T 2 4 3) 。

次に、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M V 1 と D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M V 3 の値を比較し (S T 2 4 4) 、 $M V 1 > M V 3$ ならば、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 2 に M V 1 を代入し (S T 2 4 5) 、 $M V 1 > M V 3$ でなければ、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 2 に M V 3 を代入する (S T 2 4 6) 。

【 0 1 1 9 】

次に、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 1 と D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 2 の値を比較し (S T 2 4 7) 、 $M X 1 > M X 2$ ならば、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 3 に M X 2 を代入し (S T 2 4 8) 、 $M X 1 > M X 2$ でなければ、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 3 に M X 1 を代入する (S T 2 4 9) 。

さらに、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M V 1 と D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M V R の値を比較し (S T 2 5 0) 、 $M V 1 > M V R$ ならば、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 4 に M V 1 を代入し (S T 2 5 1) 、 $M V 1 > M V R$ でなければ、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 4 に M V R を代入する (S T 2 5 2) 。

そして、図 2 7 のステップ S T 2 5 3 の処理に移行する。

【 0 1 2 0 】

ステップ S T 2 5 3 においては、D S P 2 1 内部のデータメモリ部 1 0 3 上の変数 M X 3 の値と 8 を比較する。

そして、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数MX 3 の値が 8 より小さければ、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数CD の値を 1 減算する (ST 2 5 4)。一方、変数MX 3 の値が 8 より小さくなければ、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数CD に 4 を代入する (ST 2 5 5)。

【 0 1 2 1】

次に、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数CD の値と 0 を比較し (ST 2 5 6)、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数CD が 0 より小さければ、CD に 0 を代入する (ST 2 5 7)。変数CD が 0 より小さくなければ、CD にCD を代入する (ST 2 5 8)。

次に、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数CD の値が 0 ならば DSP 2 1 内部のデータメモリ部 1 0 3 上の変数MX にMX 3 の値を代入する (ST 2 5 9, ST 2 6 0)。

DSP 2 1 内部のデータメモリ部 1 0 3 上の変数CD の値が 0 より大きければ DSP 2 1 内部のデータメモリ部 1 0 3 上の変数MX にMX 4 の値を代入する (ST 2 5 9, ST 2 6 1)。

そして、図 2 8 のステップ 2 6 2 の処理に移行する。

【 0 1 2 2】

ステップ ST 2 6 2 においては、

$(MX * R + DAT 3 * (8 - MX)) / 8$ を演算し、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数RES に代入する。

そして、出力の水平帰線期間に (ST 2 6 3)、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数DAT 2 1 の値を出力SAM 部 1 0 5 へ転送する (ST 2 6 4)。

次に、DSP 2 1 内部のデータメモリ部 1 0 3 上の変数DAT 2 1 にDSP 2 1 内部のデータメモリ部 1 0 3 上の変数DAT 2 0 の値を代入する (ST 2 6 5)。

DSP 2 1 内部のデータメモリ部 1 0 3 上の変数MV 2 にDSP 2 1 内部のデータメモリ部 1 0 3 上の変数MV 3 の値を代入する (ST 2 6 5)。

そして、図 2 2 のステップ ST 2 0 1 に戻って、以上の処理を繰り返す。

【0123】

本第2の実施形態によれば、上述した第1の実施形態の効果と同様の効果を得ることができる。

【0124】

なお、上述した実施形態においては、本発明に係る処理手段をDSPで構成した場合を例に説明したが、本発明は、これに限定されるものではなく、論理回路を組み合わせて構成することも可能である。

【0125】

図29は、論理回路を組み合わせた本発明に係る処理手段の構成例を示すブロックである。

【0126】

この処理手段200は、メモリコントローラ201、フィールド内補間(INFLD)ブロック202、第1感度(SNC1)ブロック203、第2感度(SNC2)ブロック204、比較(MAX2)ブロック205、比較(MAX3)ブロック206、処理(CDEXP)ブロック207、処理(MIN)ブロック208、選択(SEL)ブロック209、演算(MIX)ブロック210、出力(OUTSEL)ブロック211、RAM212、およびPLLブロック213を有している。

【0127】

各部の機能について説明する。

【0128】

メモリコントローラ201

入力データ(DAT)をRAM212に蓄え、図30の関係を満たすデータをそれぞれ出力する。

SELブロック209、SNC1ブロック203に対して、偶数(EVEN)フィールドのときはDAT11、奇数(ODD)フィールドのときはDAT10を出力する。

SELブロック209、INFLDブロック202に対して、DAT20およびDAT21を出力する。

SNC1ブロック203、SNC2ブロック204に対して、EVENフィールドのときはDAT31、ODDフィールドのときはDAT30を出力する。

また、SNC1ブロック203の出力をRAM212に蓄え、MAX3ブロック206に対して、図30のSNC2、SNC3にあたる位置のデータを出力する。

また、CDEXPブロック207の出力をRAM212に蓄え、CDEXPブロック207に対して、1フレーム前の同じ位置に蓄えた値を出力する。

【0129】

INFLDブロック202

図31に示すように、メモリコントローラ201から得たデータDAT20、DAT21を、レジスタに蓄え、それぞれ、DAT20L、DAT21Lとする。

さらにその1クロック遅延のデータをレジスタに蓄え、DAT20C、DAT21Cとする。

さらにその1クロック遅延のデータをレジスタに蓄え、DAT20R、DAT21Rとする。

そして、DAT20CとDAT21Cの差分絶対値が所定の閾値より小さければ、DAT20CとDAT21Cの加算平均をSNC2ブロック204、MIXブロック210に対して出力し、そうでなければ、DAT20L、DAT20C、DAT20R、DAT21L、DAT21C、DAT21Rをソートし、真中の2つの値の加算平均値をSNC2ブロック204、MIXブロック210に対して出力する。

【0130】

SNC1ブロック203、SCN2ブロック204

2つの入力値の差分絶対値をとり、図20に従う関数で変換した結果を出力する。

SNC1ブロック203からは、メモリコントローラ201、MAX2ブロック205、MAX3ブロック206に対して出力し、SNC2ブロック204からは、MAX2ブロック205に対して出力する。

【0131】

MAX2ブロック205

SNC1ブロック203の出力値と、SNC2ブロック204の出力値を比較し大きい方の値をMINブロック208に対して出力する。

【0132】

MAX3ブロック206

SNC1ブロック203の出力値(SNCA)、メモリコントローラ201からのデータ(SNCB, SNCC)を入力し、SNCAとSNCBを比較して大きい方の値と、SNCAとSNCCを比較して大きい方の値をさらに比較し、そのうちの小さい方の値を、CDEXPブロック207とMINブロック208に対して出力する。

【0133】

CDEXPブロック207

MAX3ブロック206からの出力データを入力し、その値が8ならば、メモリコントローラ201に対して4を出力する。

MAX3ブロック206からの出力データを入力し、その値が8より小さければ、メモリコントローラ201からの出力データを入力し、その値を減算し、0より小さくなった場合は0にして、メモリコントローラ201に出力する。

メモリコントローラ201への出力値が0ならば、MINブロック208に対して0を出力し、メモリコントローラ201への出力値が0以外ならば、MINブロック208に対して1を出力する。

【0134】

MINブロック208

CDEXPブロック207からのフラグを入力し、その値が0ならば、MAX3ブロック206から入力した値をMIXブロック210に対して出力し、そうでなければ、MAX2ブロック205から入力した値をMIXブロック210に対して出力する。

【0135】

SELブロック209

OUTSELブロック211に対しては、EVENフィールドの時は、図30のDAT20にあたるデータを出力し、ODDフィールドの時は、図30のDAT21にあたるデータを出力する。

MIXブロック210

【0 1 3 7】

【0 1 3 8】

【0 1 3 9】

【図面の簡単な説明】

【图 2】

出証特 2 0 0 1 - 3 0 4 5 2 3 1

ための図である。

【図 3】

本発明に係る DSP を構成する SIMD 制御プロセッサの基本的な構成を示すブロック図である。

【図 4】

第 1 の実施形態に係る画像 DSP の基本的な動作を説明するためのタイミングチャートである。

【図 5】

第 1 の実施形態に係る IP 変換の具体的な処理について説明するための図である。

【図 6】

第 1 の実施形態に係る IP 変換において動き量を求める関数について説明するための図である。

【図 7】

第 1 の実施形態に係る IP 変換におけるフィールド内補間について説明するための図である。

【図 8】

第 1 の実施形態に係る IP 変換の具体的な処理について説明するためのフローチャートである。

【図 9】

第 1 の実施形態に係る IP 変換の具体的な処理について説明するためのフローチャートである。

【図 10】

第 1 の実施形態に係る IP 変換の具体的な処理について説明するためのフローチャートである。

【図 11】

第 1 の実施形態に係る IP 変換の具体的な処理について説明するためのフローチャートである。

【図 12】

第 1 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 1 3】

第 1 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 1 4】

第 1 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 1 5】

第 1 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 1 6】

本発明に係る画像信号処理装置の第 2 の実施形態を示すブロック図である。

【図 1 7】

第 2 の実施形態に係る処理手段としての D S P の I P 変換時の動き検出処理を説明するための図である。

【図 1 8】

第 2 の実施形態に係る画像 D S P の基本的な動作を説明するためのタイミングチャートである。

【図 1 9】

第 2 の実施形態に係る I P 変換の具体的な処理について説明するための図である。

【図 2 0】

第 2 の実施形態に係る I P 変換において動き量を求める関数について説明するための図である。

【図 2 1】

第 2 の実施形態に係る I P 変換におけるフィールド内補間について説明するための図である。

【図 2 2】

第 2 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 2 3】

第 2 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 2 4】

第 2 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 2 5】

第 2 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 2 6】

第 2 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 2 7】

第 2 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 2 8】

第 2 の実施形態に係る I P 変換の具体的な処理について説明するためのフローチャートである。

【図 2 9】

論理回路を組み合わせた本発明に係る処理手段の構成例を示すブロックである。

【図 3 0】

図 2 9 の回路の各部の機能を説明するための図である。

【図 3 1】

図 2 9 のフィールド内補間ブロックの機能を説明するための図である。

【図 3 2】

インターレース信号の説明図である。

【図 3 3】

プログレッシブ信号の説明図である。

【図 3 4】

I P 変換の説明図である。

【図 3 5】

従来の課題を説明するための図である。

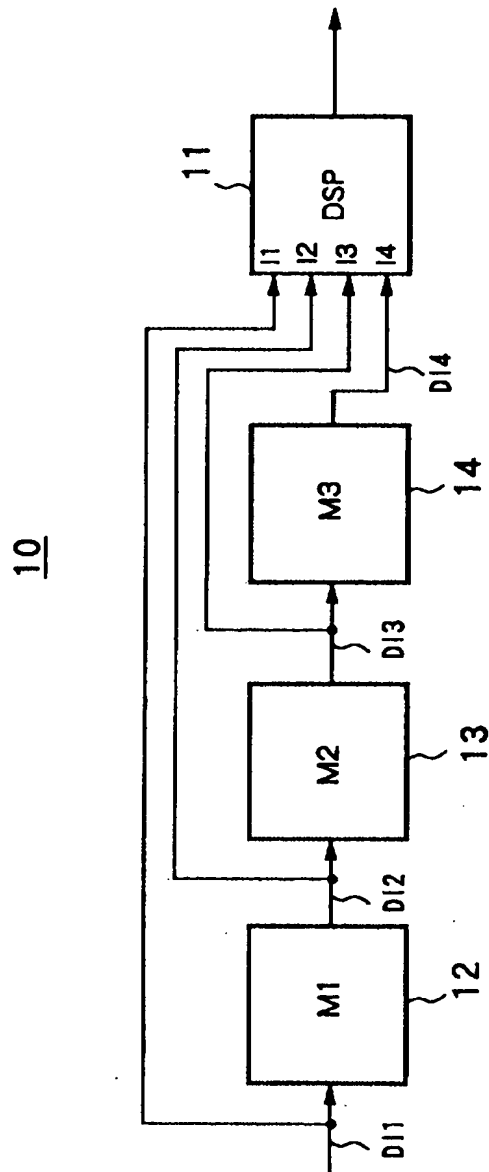
【符号の説明】

1 0, 2 0 … 画像信号処理装置、1 1, 2 1 … DSP、1 2, 1 3, 1 4, 2 2, 2 3, 2 4, 2 5 … メモリ、1 0 0 … SIMD 制御プロセッサ、1 0 1 … 入力ポインタ（入力スキップレジスタ）、1 0 2 … 入力 SAM 部（入力レジスタ）、1 0 3 … データメモリ部（ローカルメモリ）、1 0 4 … ALU アレイ部、1 0 5 … 出力 SAM 部（出力レジスタ）、1 0 6 … 出力ポインタ（出力スキップレジスタ）、2 0 0 … 処理手段、2 0 1 … メモリコントローラ、2 0 2 … フィールド内補間（INFLD）ブロック、2 0 3 … 第 1 感度（SNC1）ブロック、2 0 4 … 第 2 感度（SNC2）ブロック、2 0 5 … 比較（MAX2）ブロック、2 0 6 … 比較（MAX3）ブロック、2 0 7 … 処理（CDEXP）ブロック、2 0 8 … 処理（MIN）ブロック、2 0 9 … 選択（SEL）ブロック、2 1 0 … 演算（MIX）ブロック、2 1 1 … 出力（OUTSEL）ブロック、2 1 2 … RAM、2 1 3 … PLL ブロック。

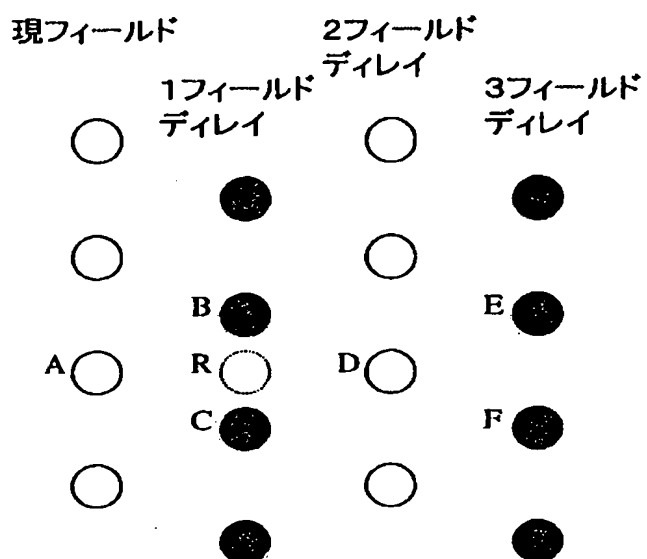
【書類名】

図面

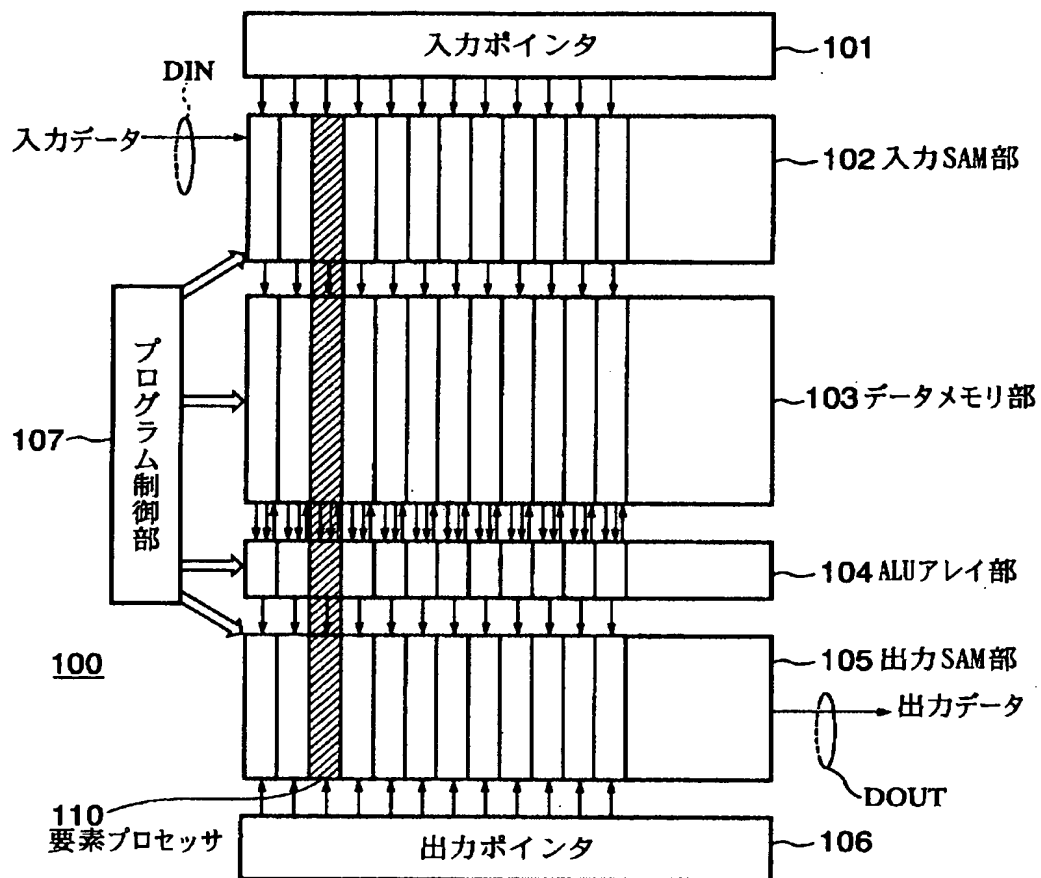
【図 1】



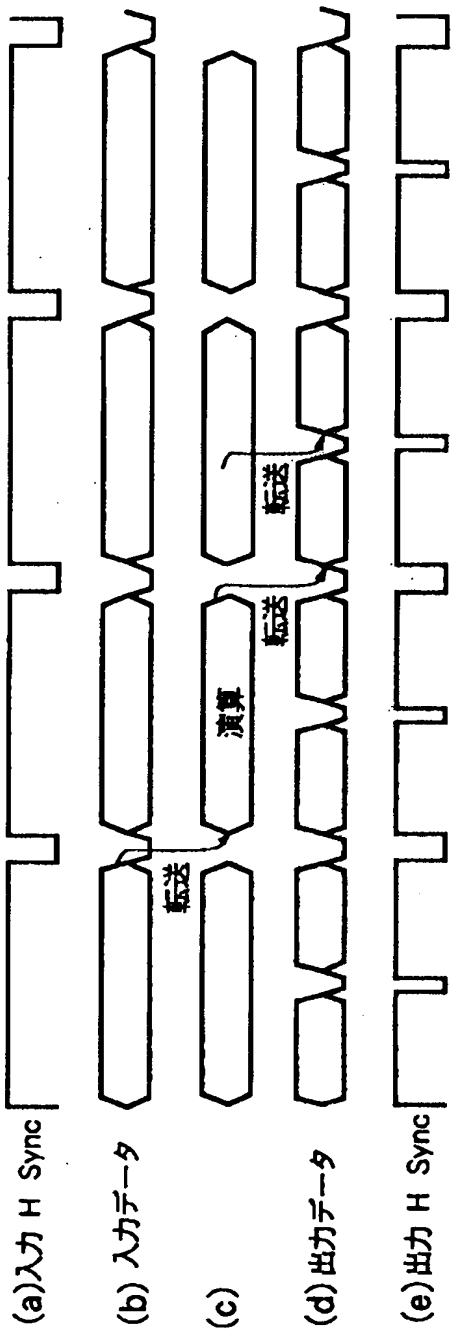
【図 2】



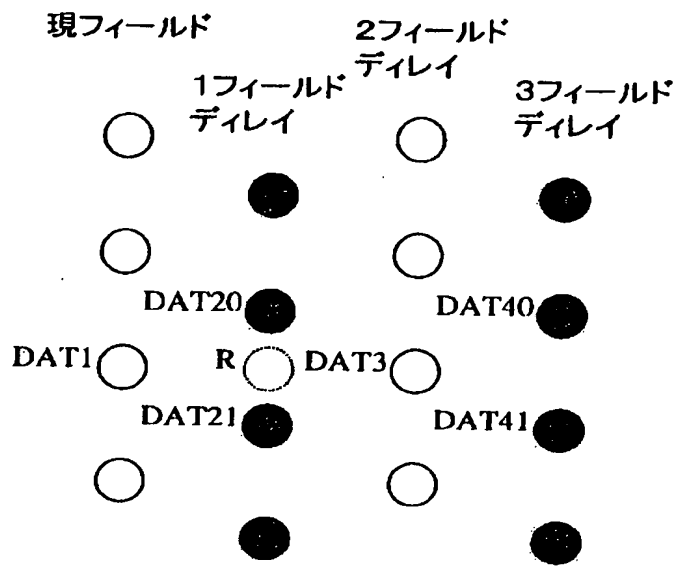
【図 3】



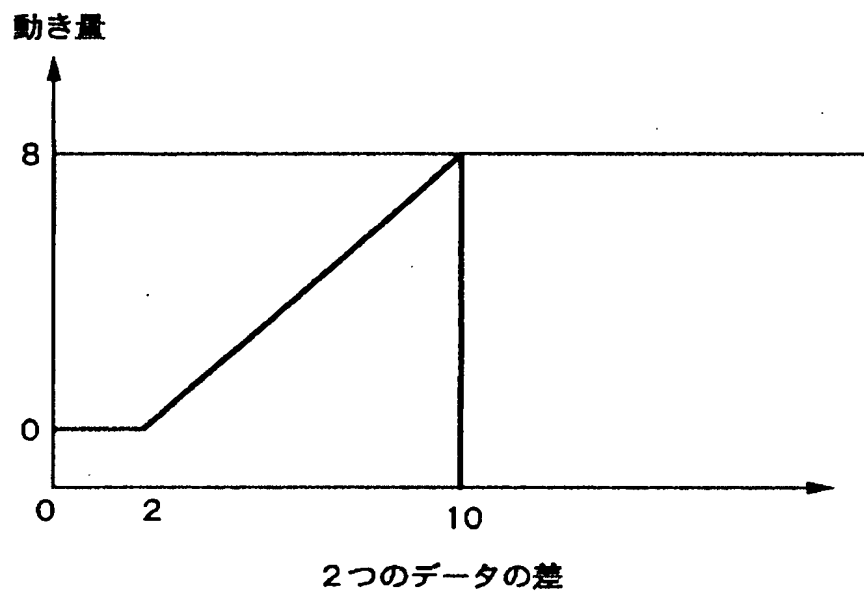
【図 4】



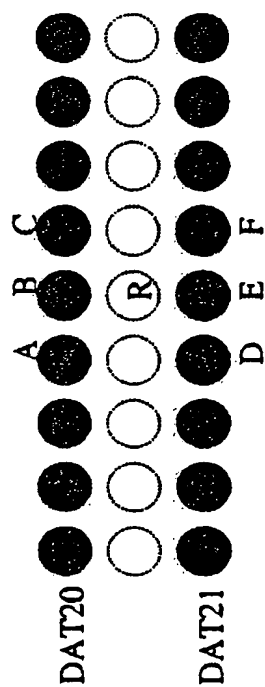
【図 5】



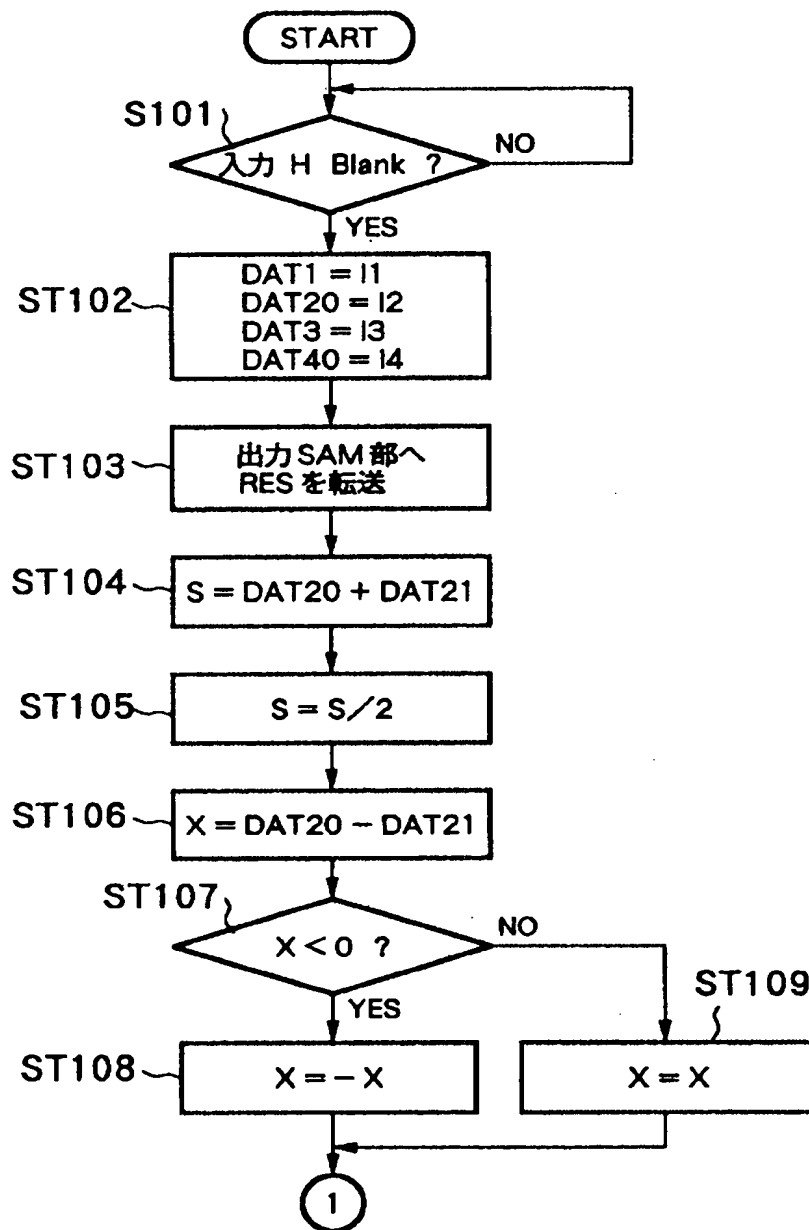
【図 6】



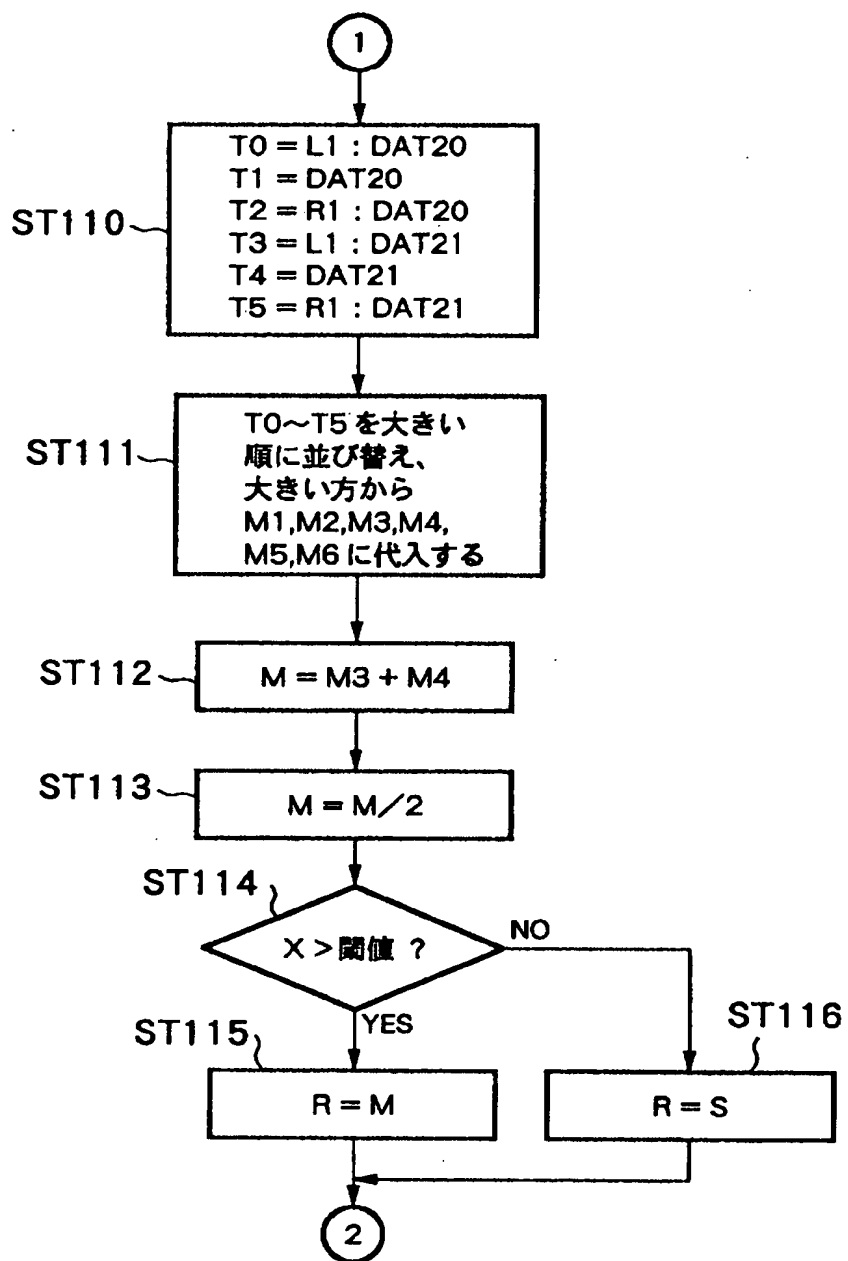
【図 7】



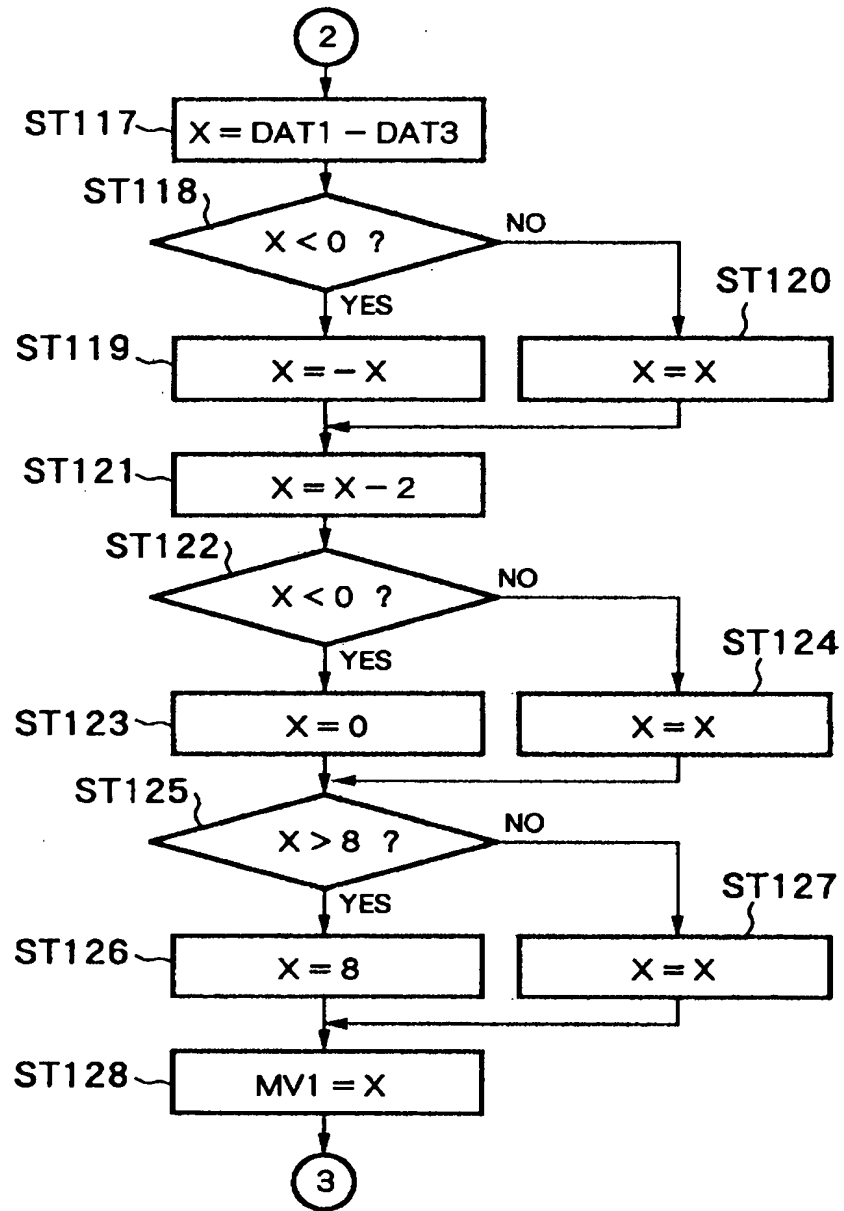
【図 8】



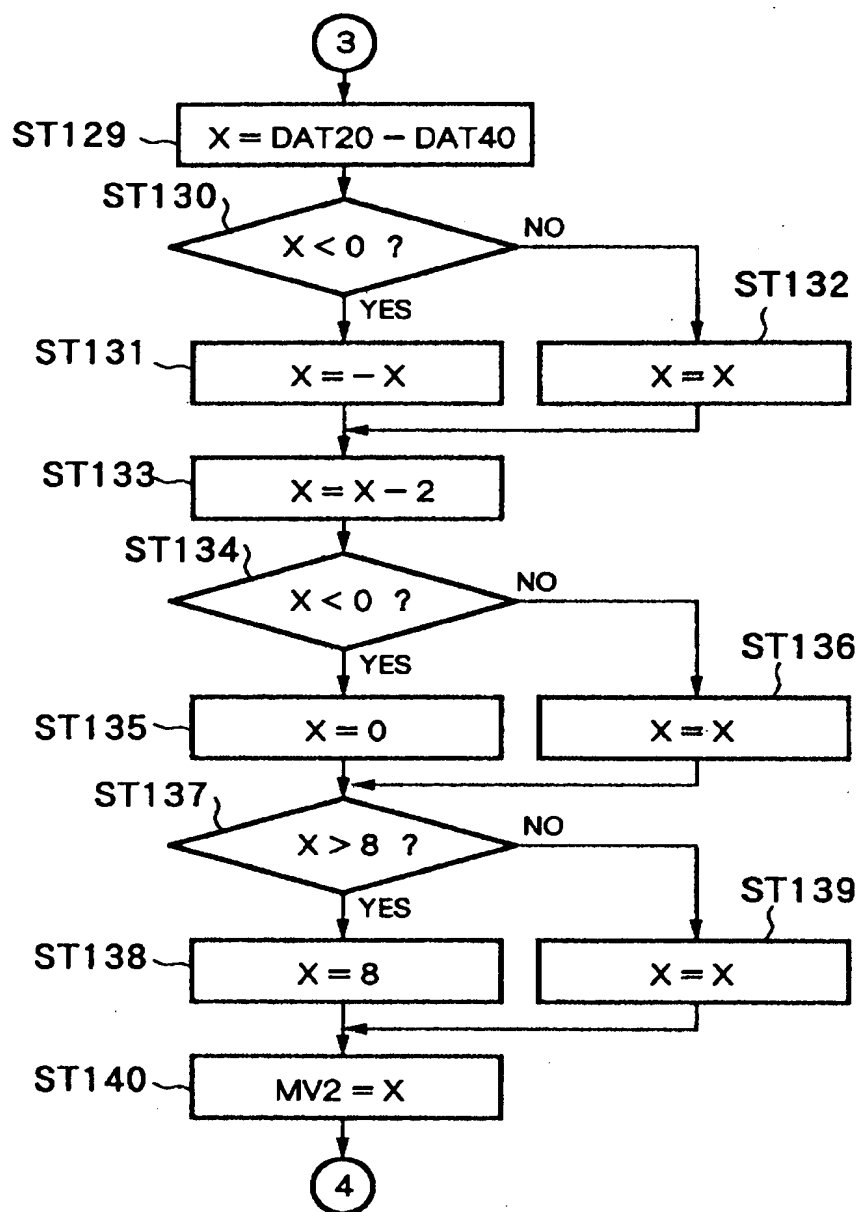
【図 9】



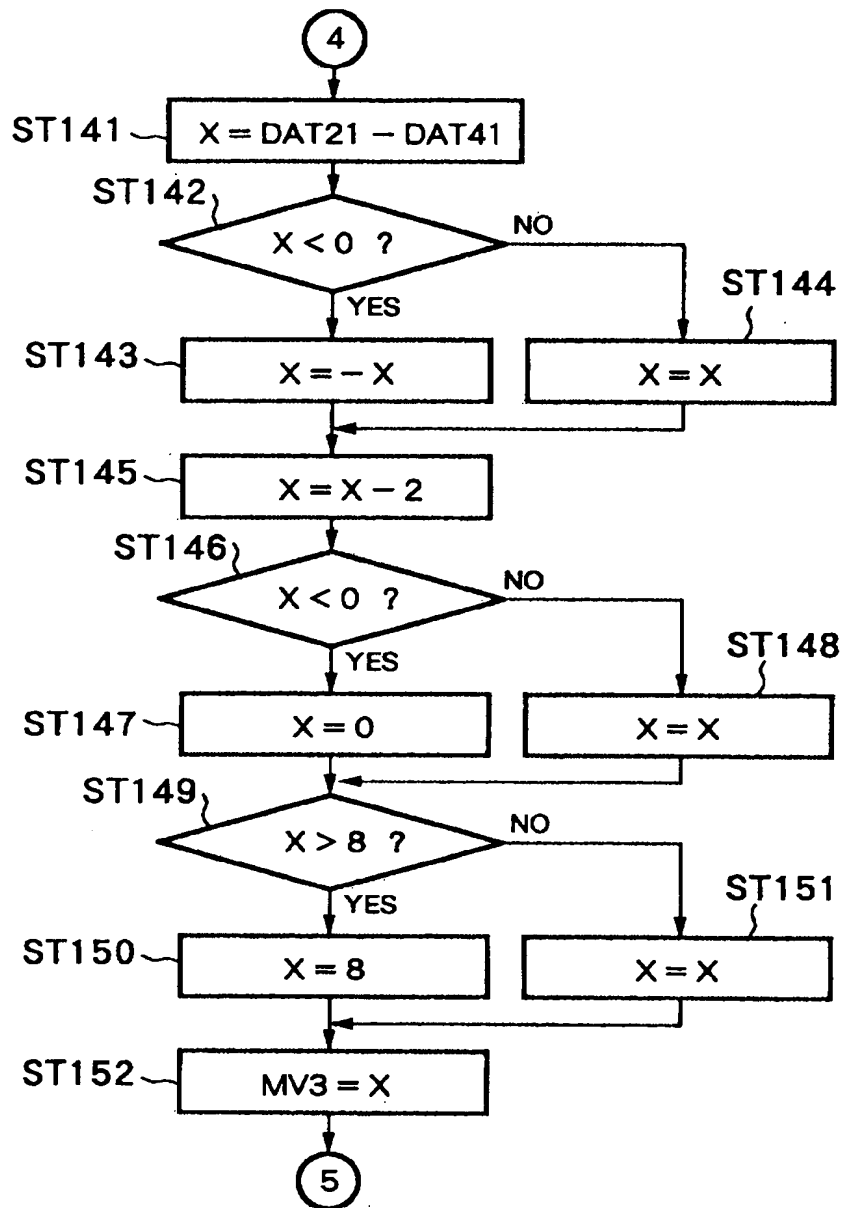
【図 10】



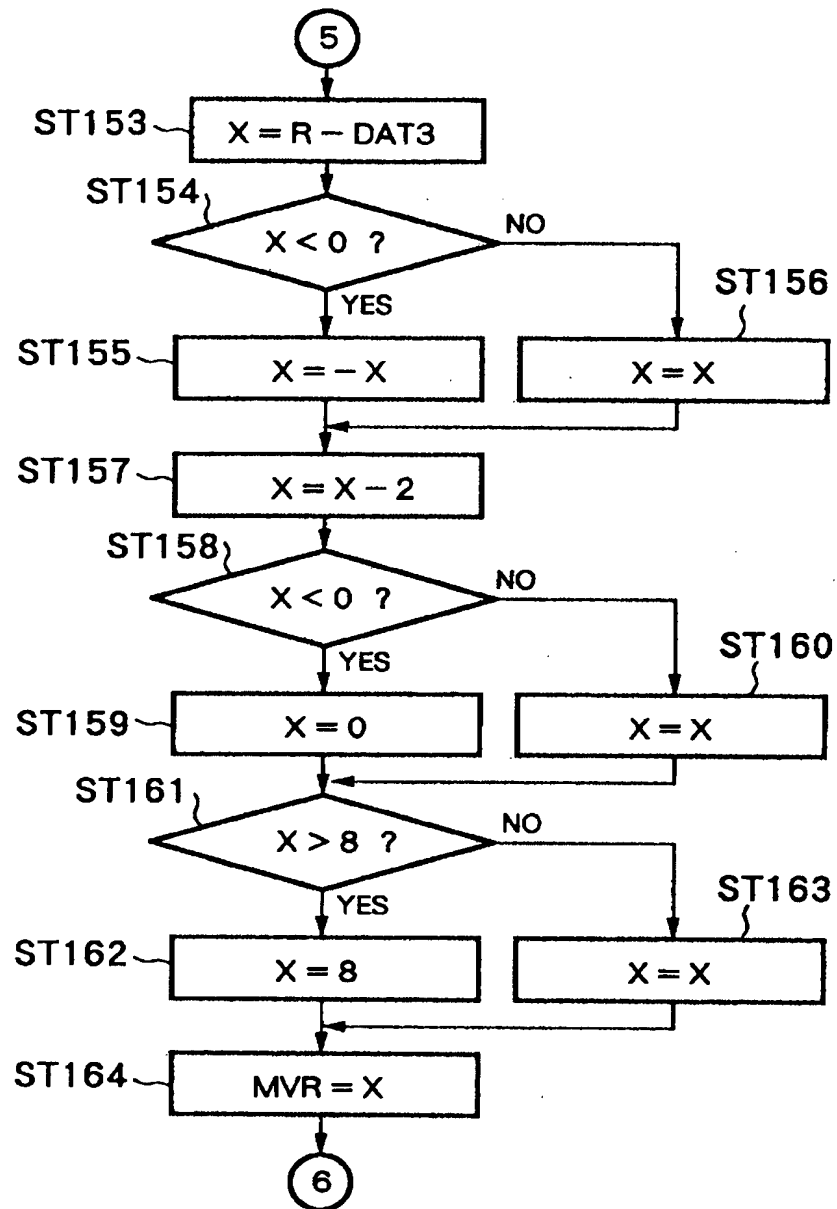
【図 11】



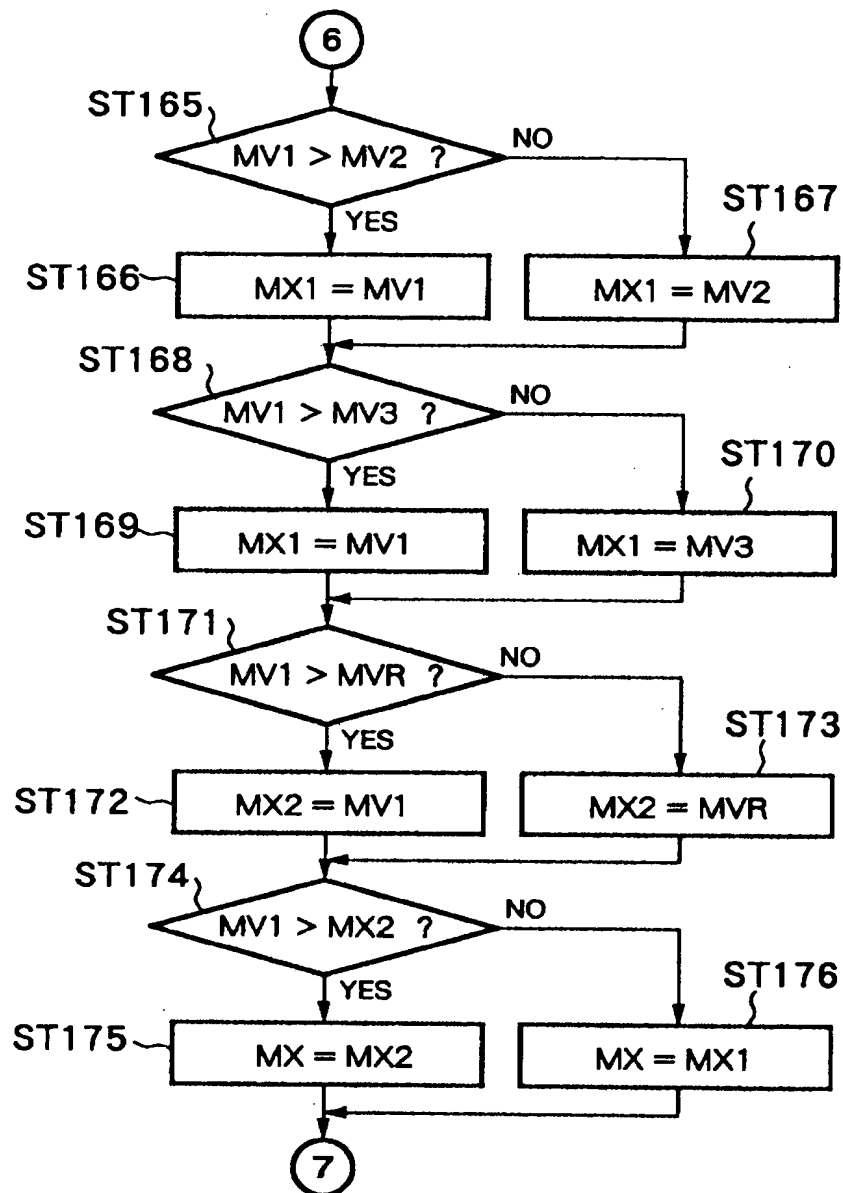
【図 1 2】



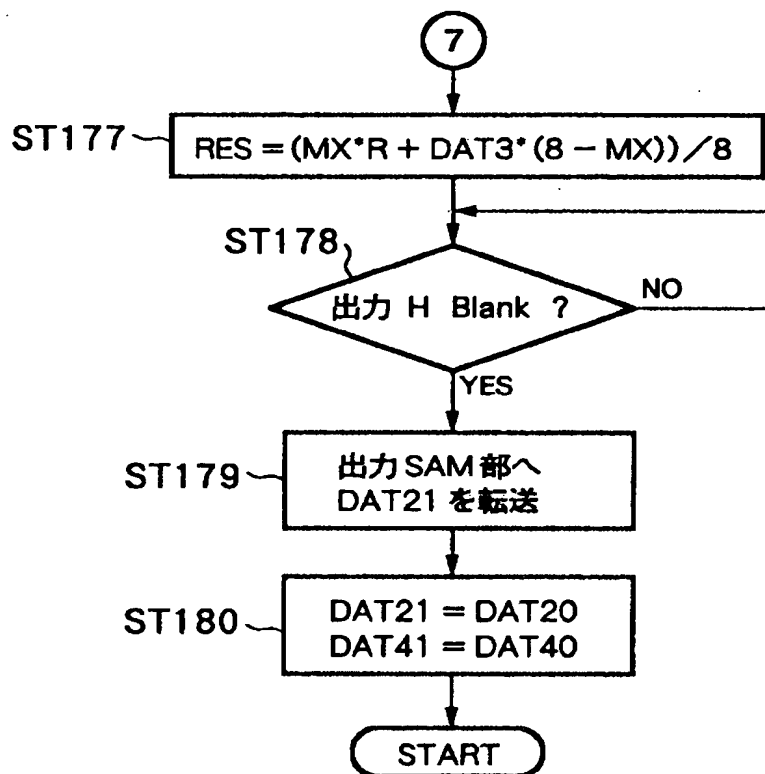
【図 13】



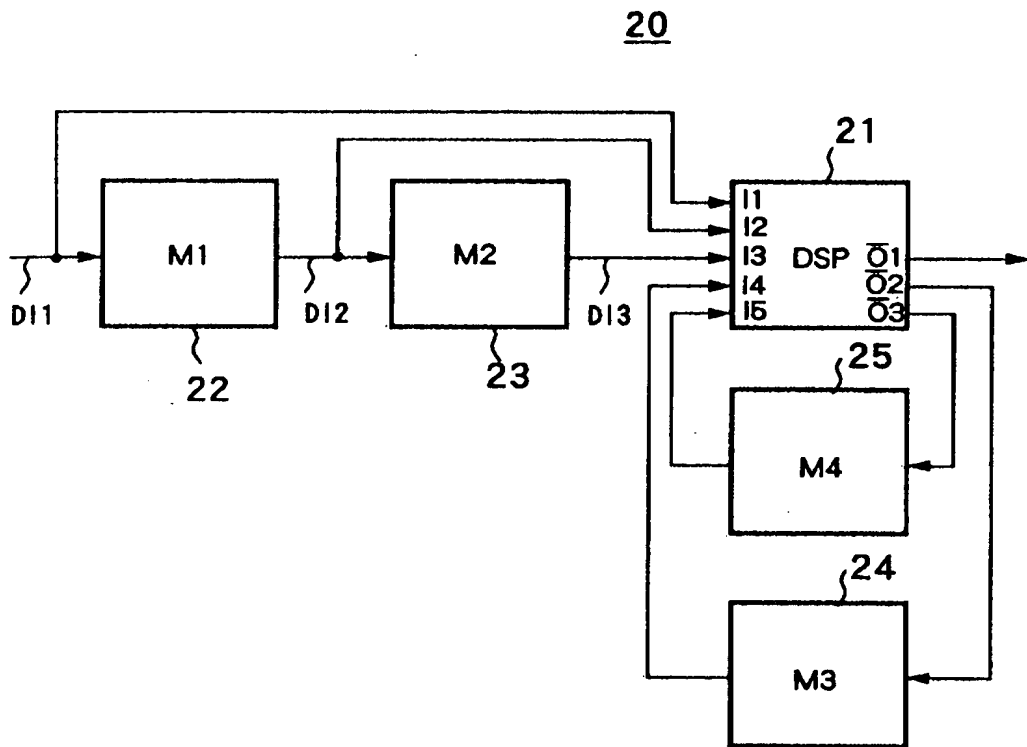
【図 14】



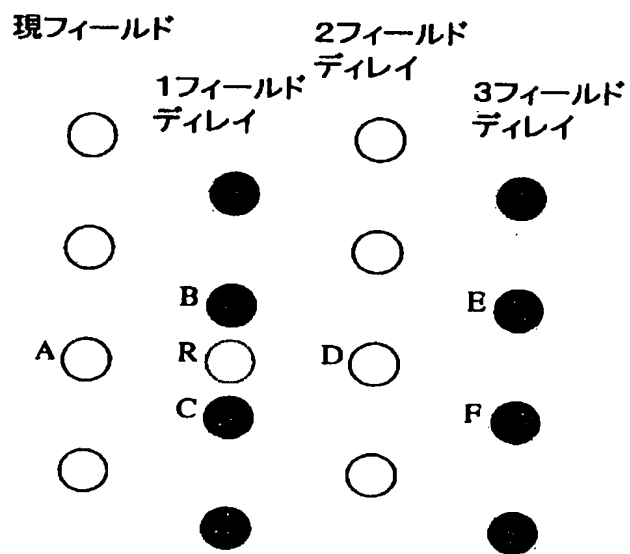
【図 15】



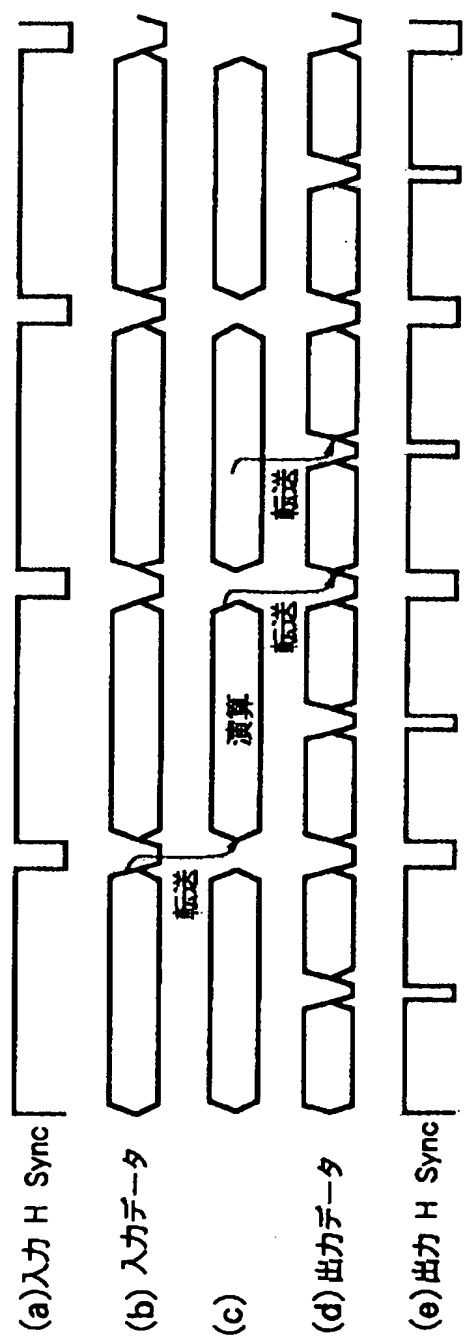
【図 16】



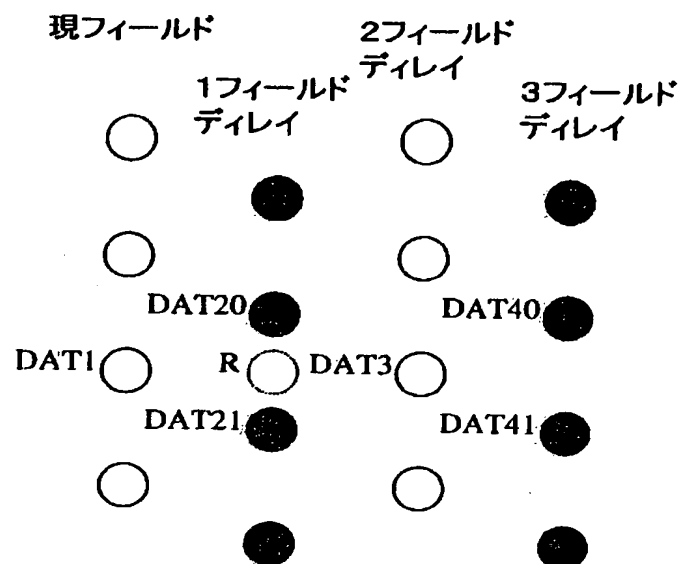
【図 17】



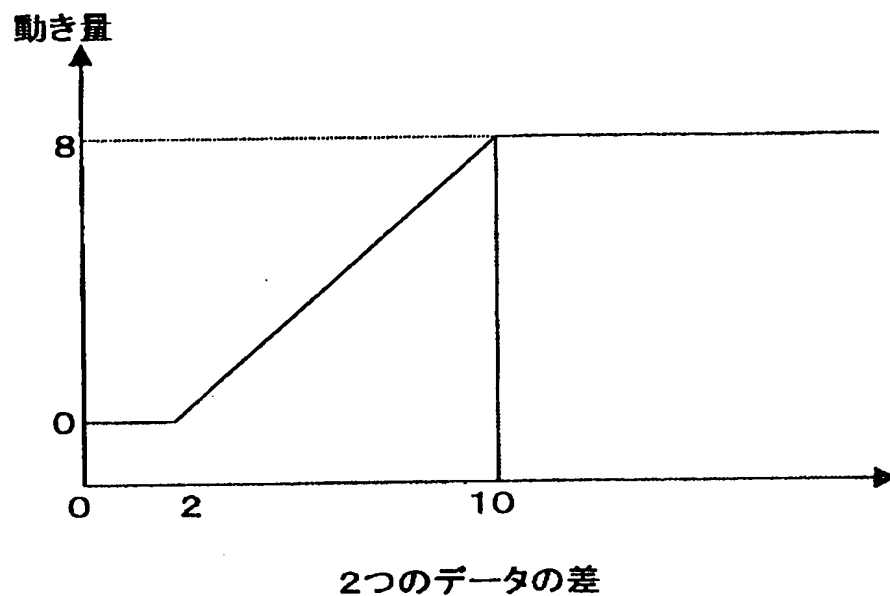
【図 18】



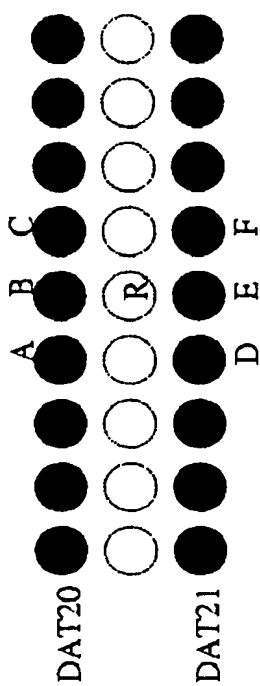
【図 1 9】



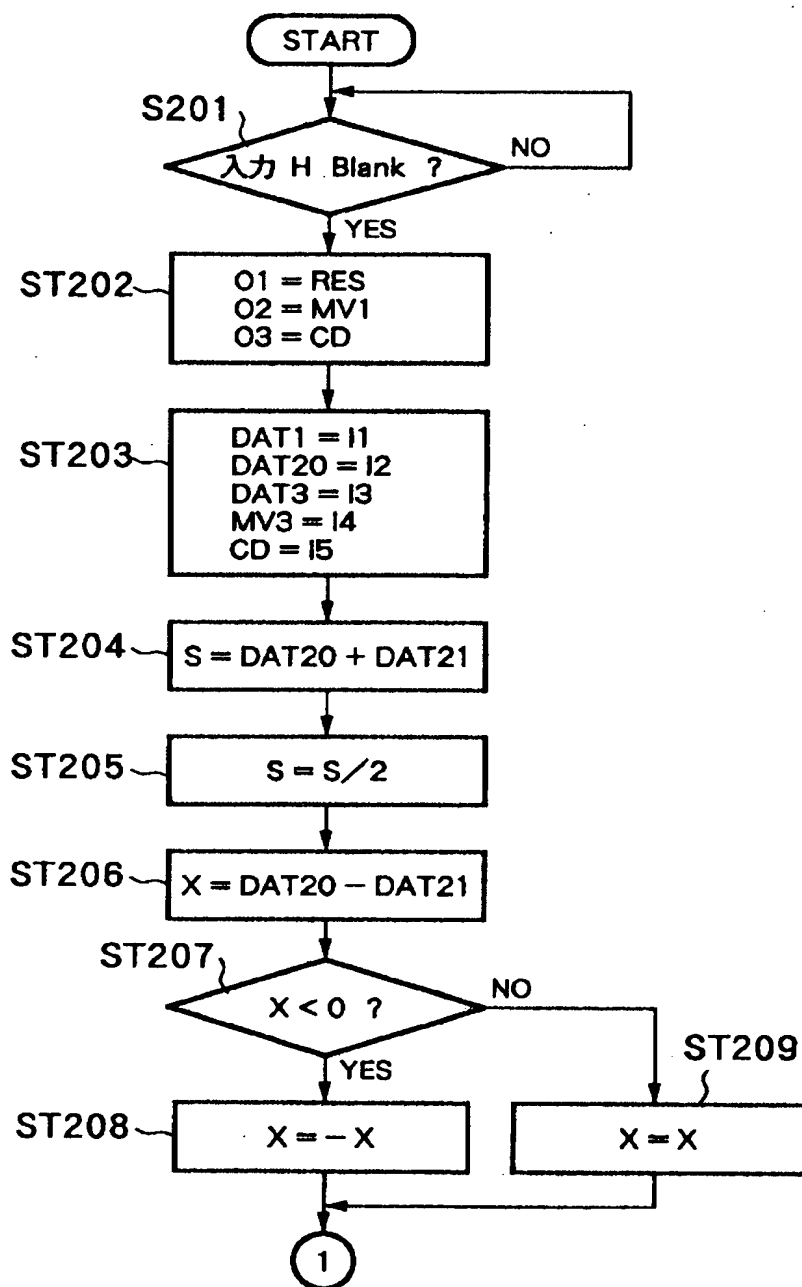
【図 2 0】



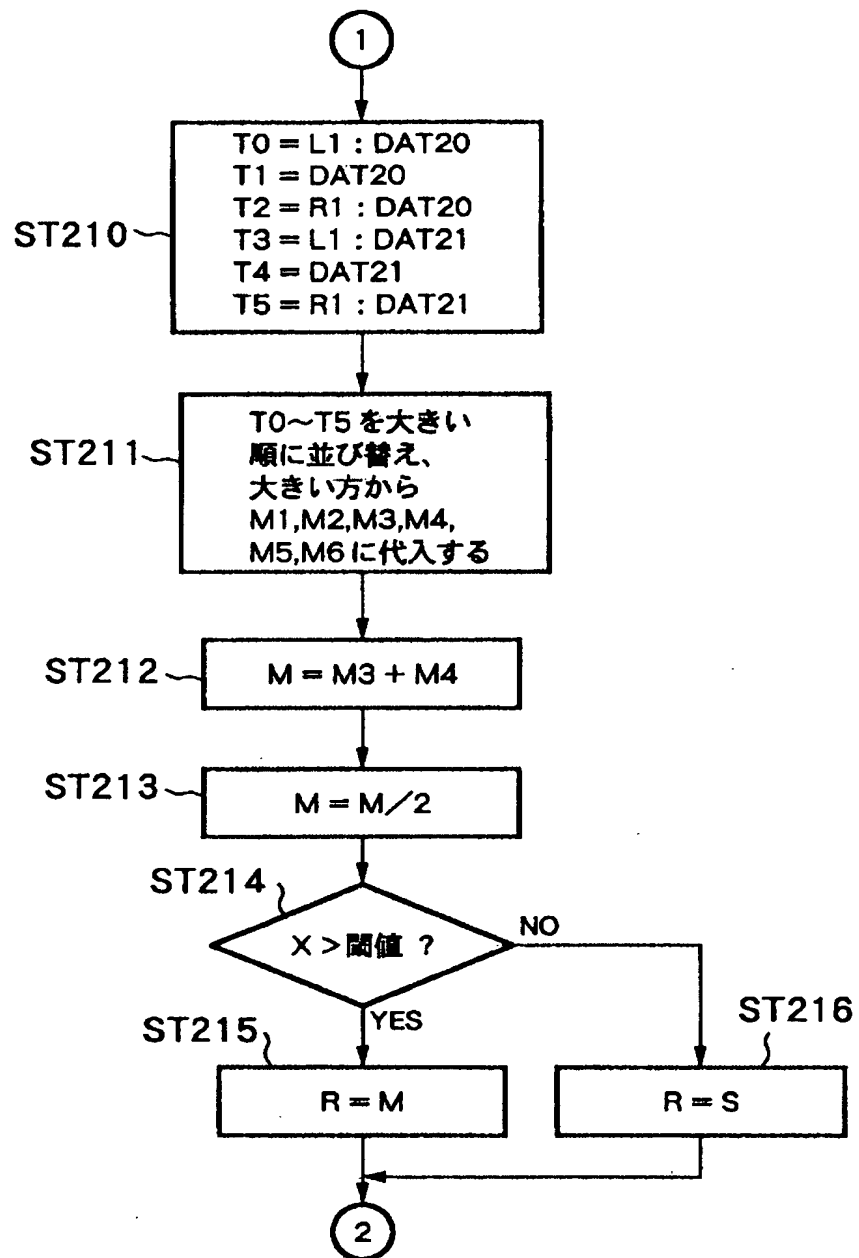
【図 2 1】



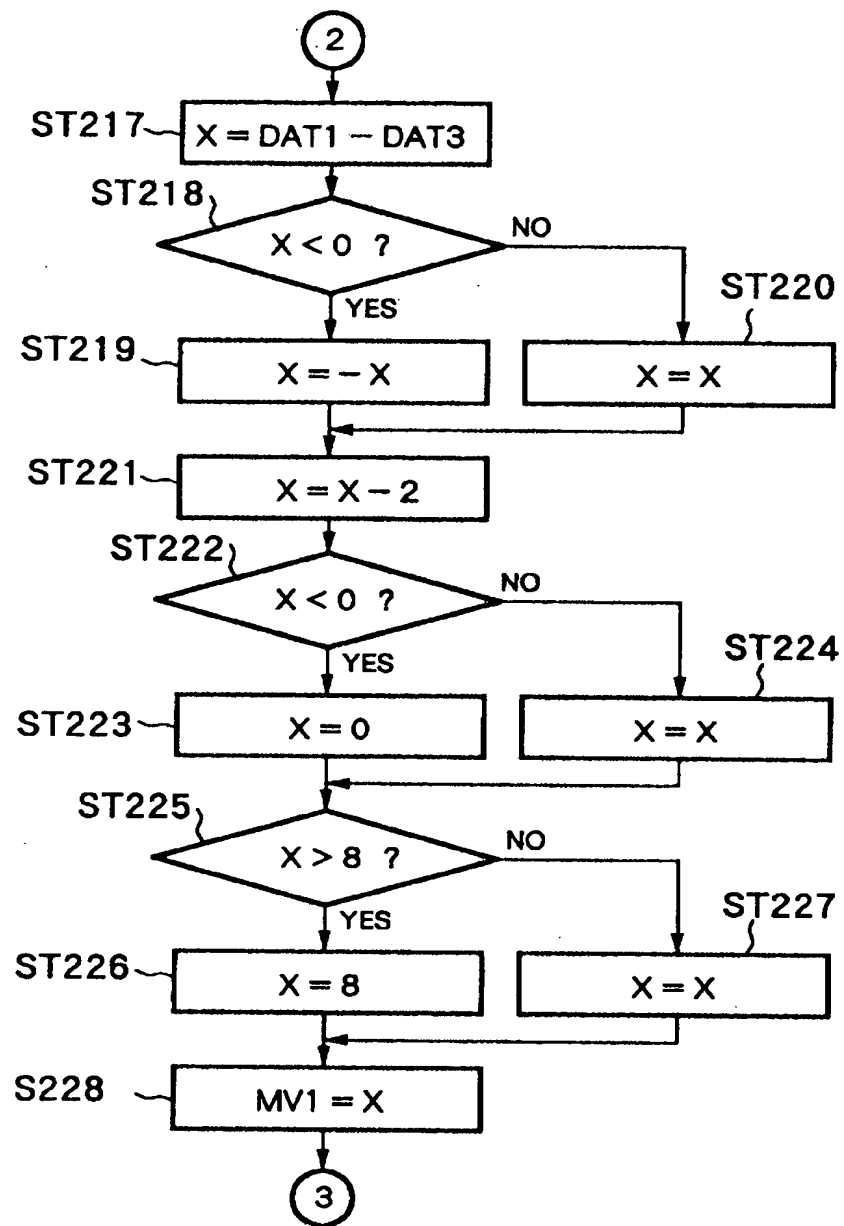
【図 2 2】



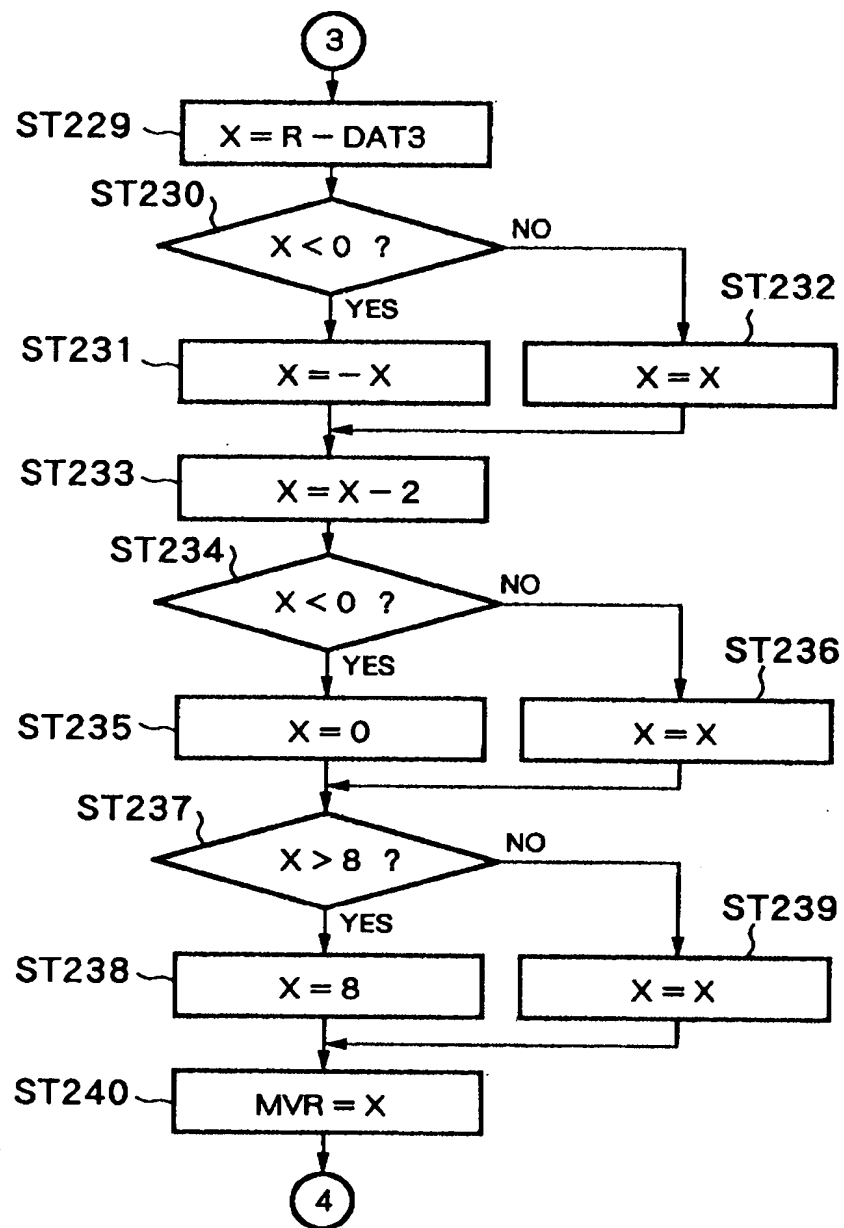
【図 23】



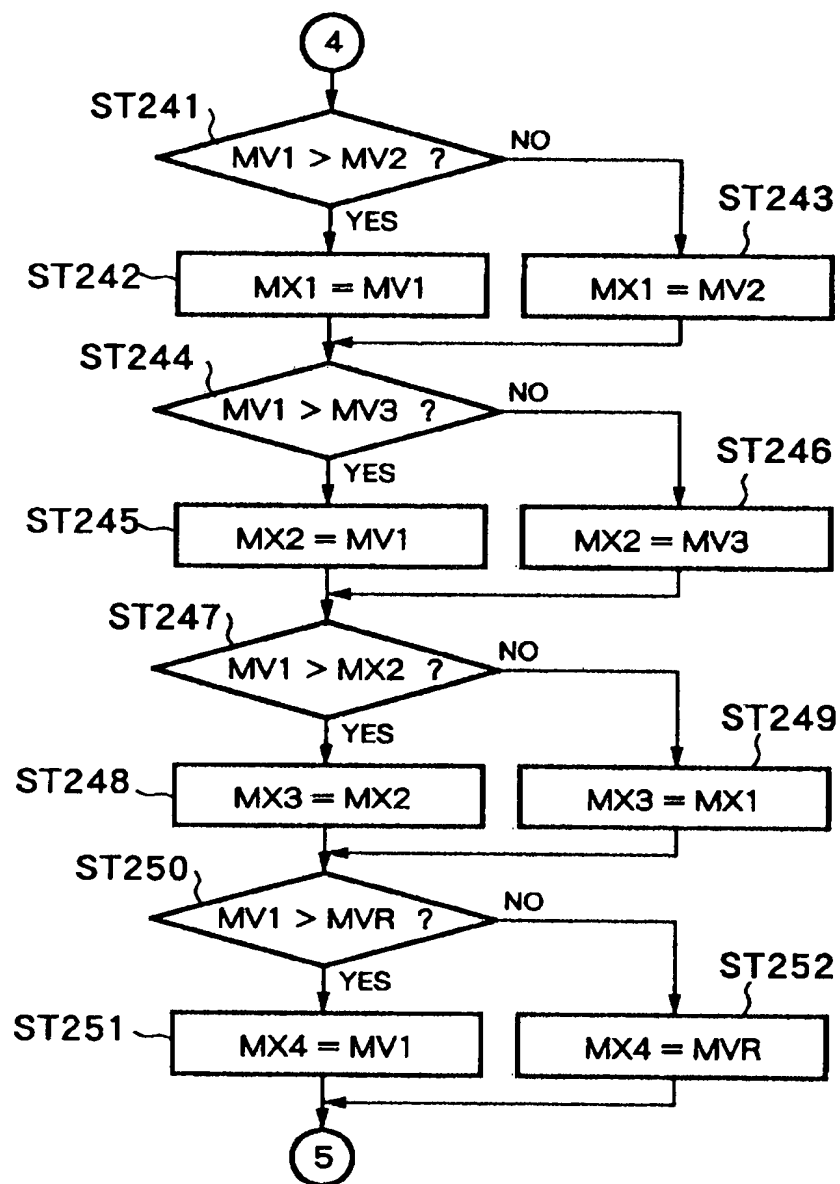
【図 24】



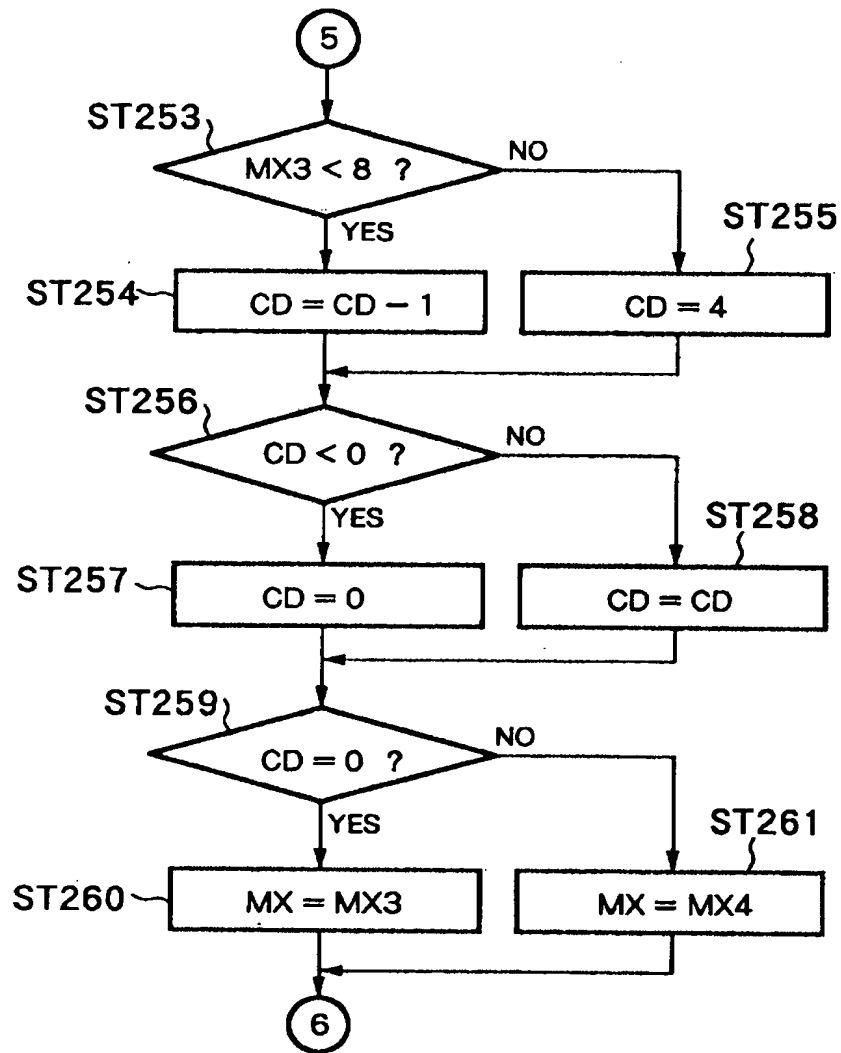
【図 25】



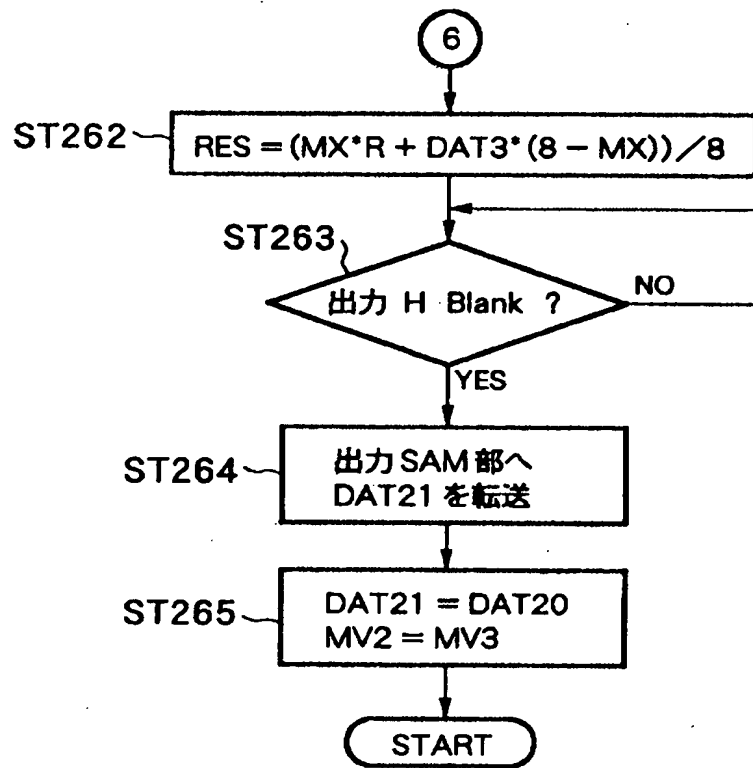
【図 26】



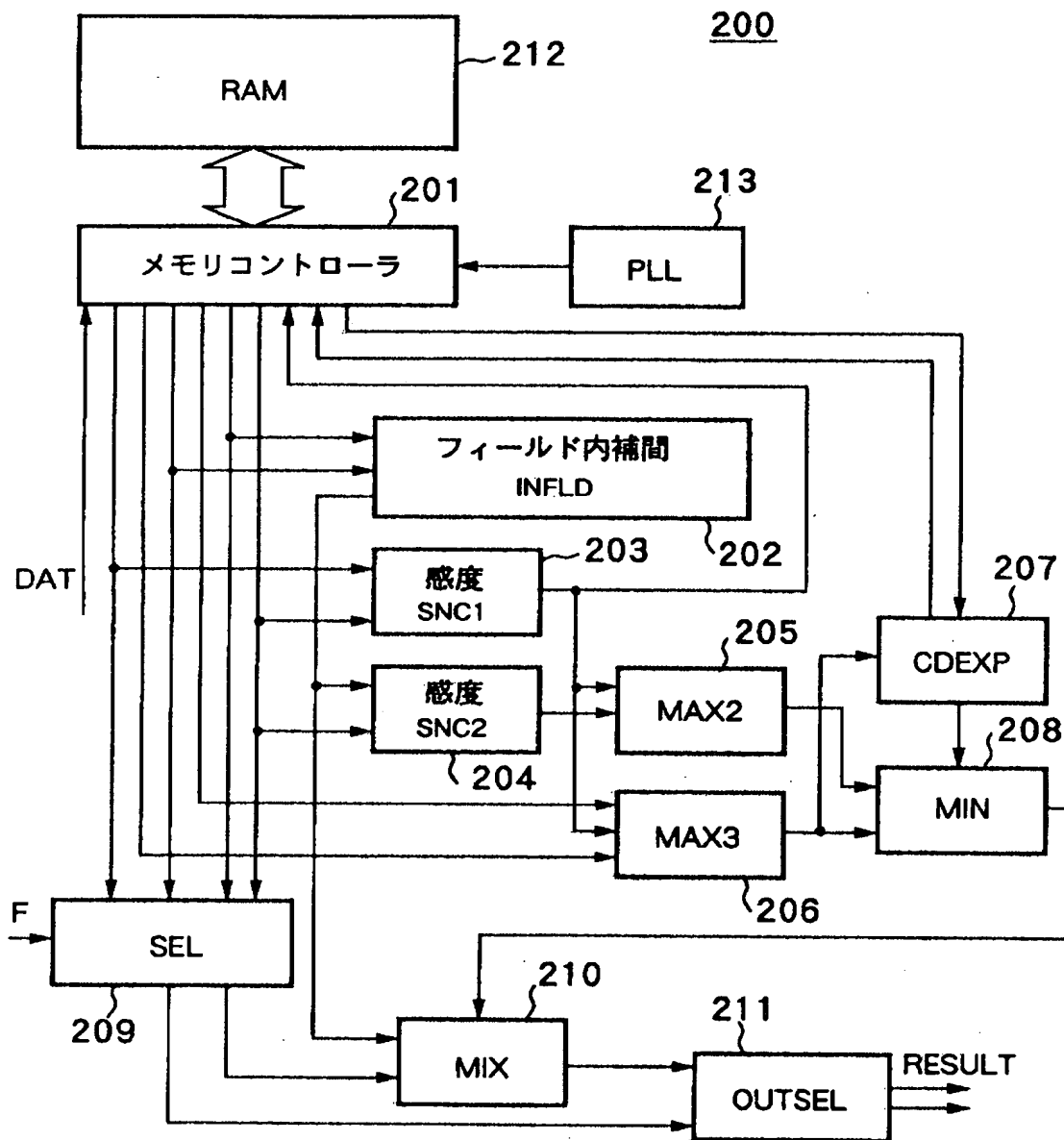
【図 2 7】



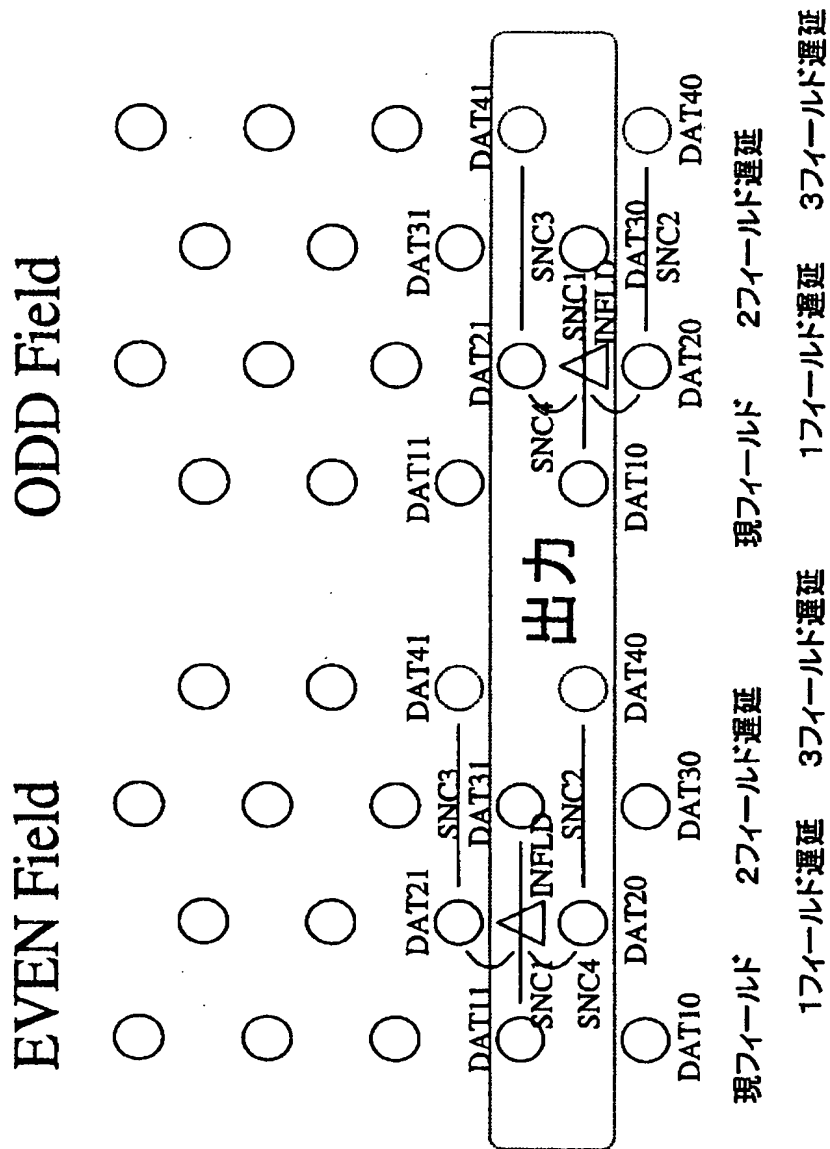
【図 28】



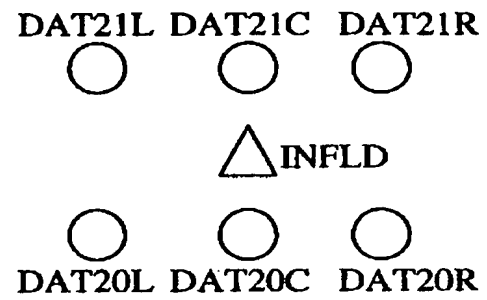
【図 2 9】



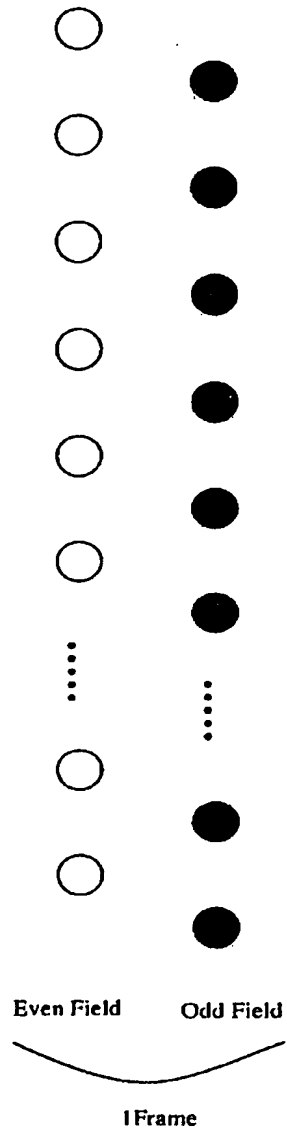
【図 3 0】



【図 3 1】



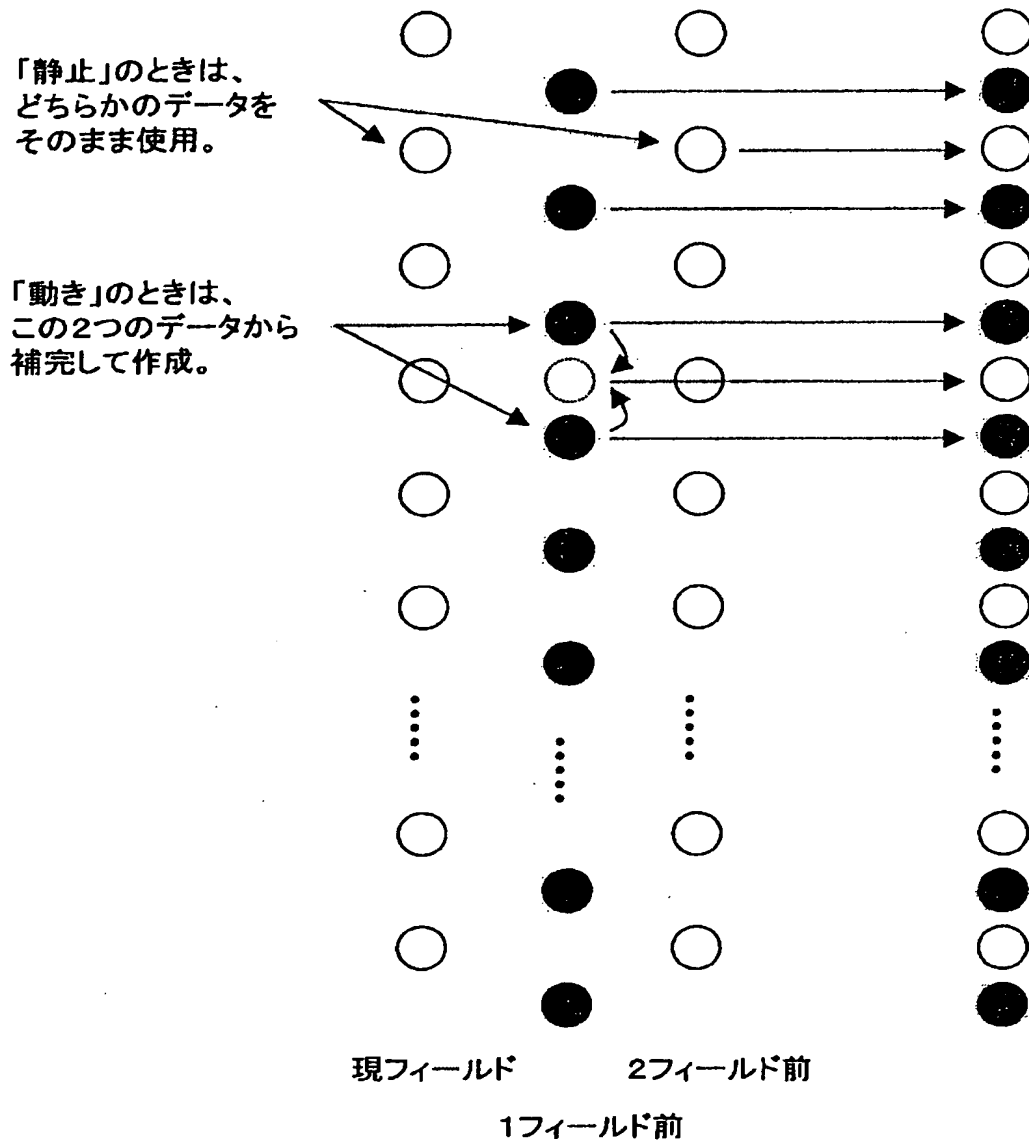
【図 3 2】



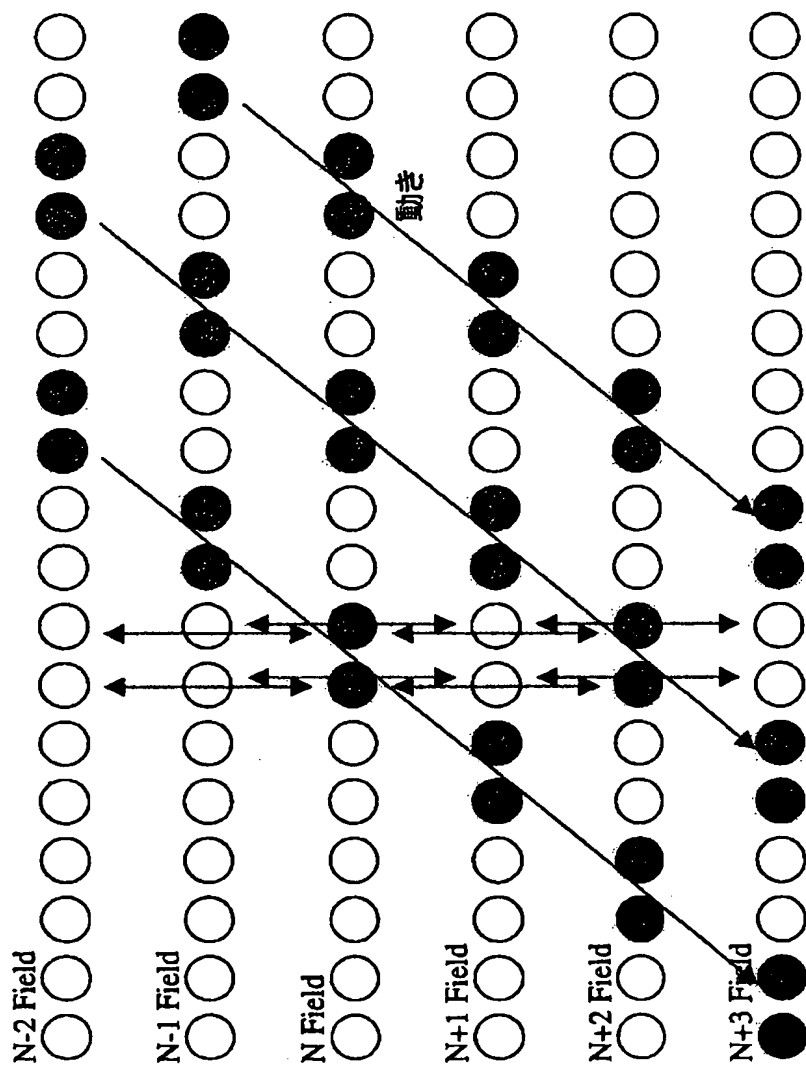
【図 3 3】



【図 3 4】



【図 3 5】



【書類名】 要約書

【要約】

【課題】 誤検出を防止でき、精度高く I P 変換を行うことができる画像信号処理装置およびその方法を提供することにある。

【解決手段】 2つのデータの差の絶対値による動き量をあらわす関数を定め、動き検出を行いたいピクセル R と同じ位置の現フィールドのピクセル A と 2 フィールド遅延の同じ位置のピクセル D 同士のデータの動き量と、ピクセル R の 1 ライン上の 1 フィールド遅延のピクセル B と 3 フィールド遅延の同じ位置のピクセル E 同士のデータの動き量と、ピクセル R の 1 ライン下の 1 フィールド遅延のピクセル C と 3 フィールド遅延の同じ位置のピクセル F 同士のデータの動き量との最大値と、ピクセル B、C からフィールド内補間によって得たデータとピクセル D 同士のデータの動き量と、ピクセル A とピクセル D 同士のデータの動き量との最大値とを求め、2つの最大値のうちの小さい方をピクセル R の動き量とする。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日

[変更理由] 新規登録

住 所 東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名 ソニー株式会社